

Versal: новое поколение адаптивных систем Xilinx

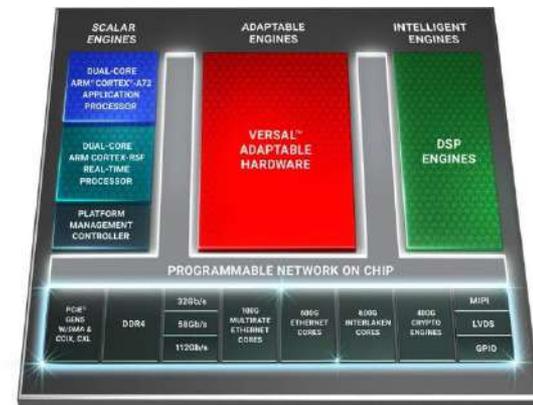
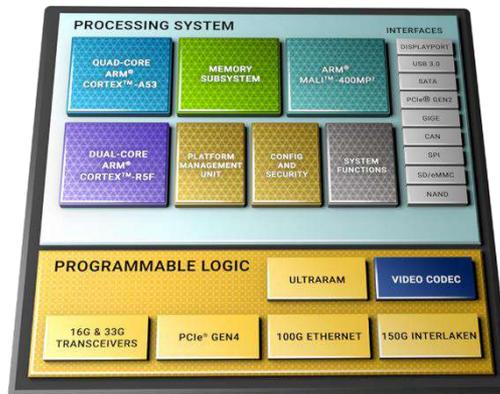
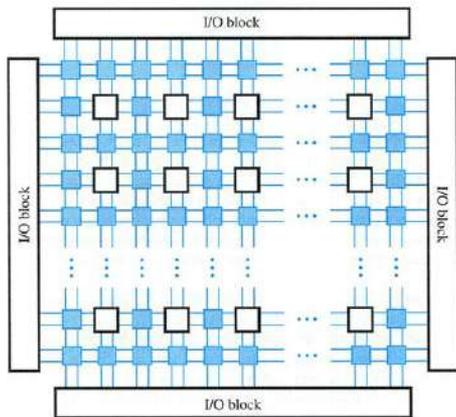
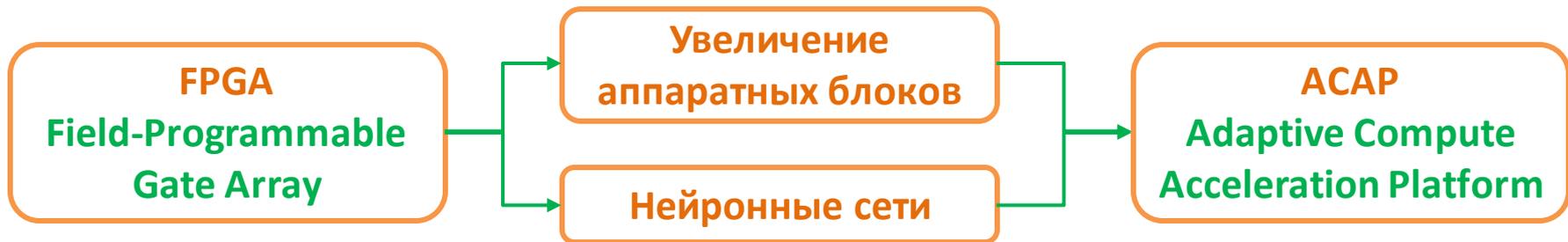
Дмитрий Шадрин,
Инженер по применению Xilinx

Макро Групп – официальный партнёр Xilinx в России

План вебинара

- ◆ Что такое Versal?
- ◆ Какие серии чипов входят в это семейство?
- ◆ Архитектура Versal
 - Процессорная система
 - Контроллер управления платформой
 - Программируемая логика
 - DSP-блоки
 - Блоки искусственного интеллекта
 - AI Engine у Versal AI Core
 - AI Engine-ML у Versal AI Edge
 - Система тактирования
 - Сеть на чипе (Network on Chip или NoC)
 - Контроллеры памяти
 - Порты ввода-вывода
 - Трансиверы
 - Высокоскоростные интерфейсы
- ◆ Основные сферы применения чипов Versal
- ◆ Итоги, выводы и ответы на вопросы

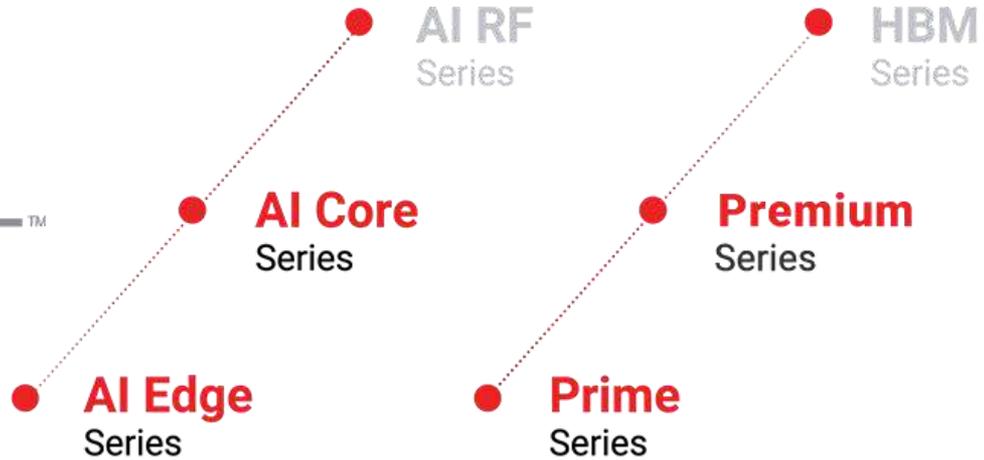
Что такое Versal?



Какие серии чипов входят в это семейство?



XILINX
VERSAL™



Prime Series

		VM1102	VM1302	VM1402	VM1502	VM1802	VM2202	VM2302	VM2502	VM2902
Adaptable Engines	System Logic Cells (K)	329	693	1,238	981	1,968	1,139	1,575	1,969	2,233
	LUTs	150,272	316,928	565,760	448,512	899,840	520,704	719,872	900,224	1,020,928
	NoC Master / NoC Slave Ports	5	9	18	21	28	21	30	28	42
	Distributed RAM (Mb)	5	10	17	14	27	16	22	27	31
Memory	Total Block RAM (Mb)	5	18	40	34	34	21	49	47	70
	Total UltraRAM (Mb)	44	50	80	130	130	74	127	190	181
	Total SRAM Capacity (Mb)	54	78	137	178	191	111	198	264	282
	DDR Memory Controllers	1	2	4	3	4	3	3	4	3
	DDR Bus Widths	64	128	256	192	256	192	192	256	192
Intelligent Engines	DSP Engines	464	832	1,696	1,312	1,968	1,312	1,904	3,984	2,672
Scalar Engines	Application Processing Unit	Dual-core Arm® Cortex-A72, 48KB/32KB L1 Cache w/ parity & ECC; 1MB L2 Cache w/ ECC								
	Real-time Processing Unit	Dual-core Arm Cortex-R5F, 32KB/32KB L1 Cache, and 256KB TCM w/ECC								
	Memory	256KB On-Chip Memory w/ECC								
	Connectivity	Ethernet (x2); USB 2.0 (x1); UART (x2); SPI (x2); I2C (x2); CAN-FD (x2)								
Serial Transceivers	GTY ⁽¹⁾ 32G	0	24	24	44	44	0	0	0	0
	GTYP ⁽¹⁾ 32G	8	0	0	0	0	32 ⁽²⁾	8	28 ⁽²⁾	8
	GTM ⁽³⁾ 56G	0	0	0	0	0	0	40	16	40
Integrated Protocol IP	CCIX & PCIe® w/DMA (CPM)	-	1 x Gen4x16, CCIX	2 x Gen5x8, CCIX	-	2 x Gen5x8, CCIX	-			
	PCI Express®	1 x Gen4x8	2 x Gen4x8	2 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4
	100G Multirate Ethernet MAC	1	2	2	4	4	2	6	2	6



XILINX®

AI Core Series

Versal™ AI Core Series – Resources

	VC1352	VC1502	VC1702	VC1802	VC1902	VC2602	VC2802
Intelligent Engines	AI Engines Tiles	128	198	304	300	400	0
	AI Engine-ML Tiles	0	0	0	0	0	152
	AI Engine Data Memory (Mb)	32	50	76	75	100	76
	DSP Engines	928	1,032	1,312	1,600	1,968	984
Adaptable Engines	System Logic Cells (K)	540	815	981	1,586	1,968	820
	LUTs	246,784	372,352	448,512	725,000	899,840	375,000
	NoC Master / NoC Slave Ports	10	21	21	28	28	21
	Distributed RAM (Mb)	8	11	14	22	27	11
Memory	Total Block RAM (Mb)	16	30	34	28	34	17
	UltraRAM (Mb)	59	110	130	91	130	63
	Accelerator RAM (Mb)	32	0	0	0	0	0
	Total SRAM Capacity (Mb)	115	151	178	141	191	91
	DDR Memory Controllers	2	3	3	4	4	3
	DDR Bus Width	128	192	192	256	256	192
Scalar Engines	Application Processing Unit	Dual-core Arm® Cortex®-A72, 48KB/32KB L1 Cache w/ parity & ECC; 1MB L2 Cache w/ ECC					
	Real-time Processing Unit	Dual-core Arm Cortex-R5F, 32KB/32KB L1 Cache, and 256KB TCM w/ECC					
	Memory	256KB On-Chip Memory w/ECC					
Serial Transceivers	Connectivity	Ethernet (x2); UART (x2); CAN-FD (x2); USB 2.0 (x1); SPI (x2); I2C (x2)					
	GTY 32G	0	32	0	44	44	0
Integrated Protocol IP	GTYP 32G	8	0	44	0	0	32
	CCIX & PCIe® w/DMA (CPM)	–	1 x Gen4x16, CCIX	2 x Gen5x8, CCIX			
	PCI Express®	1 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen5x4
	100G Multirate Ethernet MAC	1	3	4	4	4	2
	Video Decoder Unit (VDU)	–	–	–	–	–	2
	Platform Management Controller	Boot, Security, Safety, Monitoring, and High-Speed Debug					



XILINX®

Premium Series

Versal™ Premium Series – Resources

		VP1102	VP1202	VP1402	VP1502	VP1552	VP1702	VP1802
Adaptable Engines	System Logic Cells (K)	1,575	1,969	2,233	3,763	3,837	5,558	7,352
	LUTs	719,872	900,224	1,020,928	1,720,448	1,753,984	2,540,672	3,360,896
	NoC Master / NoC Slave Ports	30	28	42	52	52	76	100
	Distributed RAM (Mb)	22	27	31	53	54	78	103
Memory	Total Block RAM (Mb)	49	47	70	89	89	132	174
	UltraRAM (Mb)	127	190	181	366	366	541	717
	Total SRAM Capacity (Mb)	198	264	282	508	509	751	994
	DDR Memory Controllers	3	4	3	4	4	4	4
	DDR Bus Width	192	256	192	256	256	256	256
Intelligent Engines	DSP Engines	1,904	3,984	2,672	7,440	7,392	10,896	14,352
Scalar Engines	APU	Dual-core Arm® Cortex®-A72, 48KB/32KB L1 Cache w/ parity & ECC; 1MB L2 Cache w/ ECC						
	RPU	Dual-core Arm Cortex-R5F, 32KB/32KB L1 Cache, and 256KB TCM w/ECC						
	Memory	256KB On-Chip Memory w/ECC						
	Connectivity	Ethernet (x2); UART (x2); CAN-FD (x2); USB 2.0 (x1); SPI (x2); I2C (x2)						
Serial Transceivers	GTYP ⁽¹⁾ 32G	8	28 ⁽²⁾	8	28 ⁽²⁾	68 ⁽²⁾	28 ⁽²⁾	28 ⁽²⁾
	GTYP ⁽³⁾ 58G (112G)	64 (32)	20 (10)	96 (48)	60 (30)	20 (10)	100 (50)	140 (70)
Integrated Protocol IP	CCIX & PCIe® w/DMA (CPM5)	-	2 x Gen5x8, CCIX	-	2 x Gen5x8, CCIX			
	PCI Express® with CXLI ⁽⁴⁾	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	8 x Gen5x4	2 x Gen5x4	2 x Gen5x4
	100G Multirate Ethernet MAC	6	2	6	4	4	6	8
	600G Ethernet MAC	4	1	8	3	1	5	7
	600G Interlaken	2	0	2	1	0	2	3
	400G High-Speed Crypto Engine	3	1	5	2	2	3	4



XILINX®

AI Edge Series

Versal™ AI Edge Series – Resources

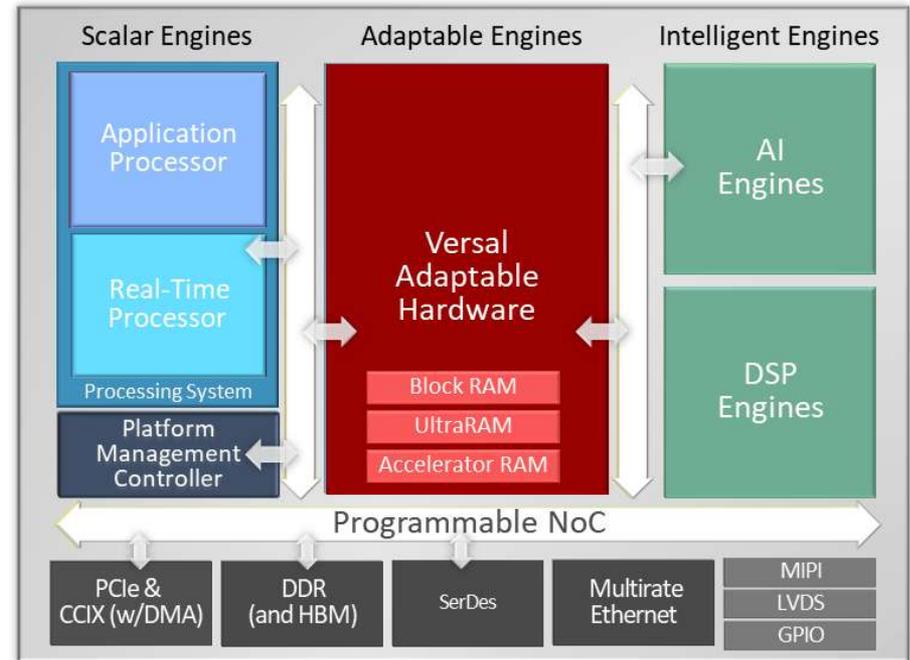
		VE2002	VE2102	VE2202	VE2302	VE2602	VE1752	VE2802
Intelligent Engines	AI Engine-ML Tiles	8	12	24	34	152	0	304
	AI Engine Tiles	0	0	0	0	0	304	0
	AIE/AIE-ML Data Memory (Mb)	4	6	12	17	76	76	152
	DSP Engines	90	176	324	464	984	1,312	1,312
Adaptable Engines	System Logic Cells	43,750	80,080	229,688	328,720	820,313	981,120	1,139,040
	LUTs	20,000	36,608	105,000	150,272	375,000	448,512	520,704
	NoC Master / NoC Slave Ports	2	2	5	5	21	21	21
	Distributed RAM (Mb)	0.6	1.1	3.2	4.6	11.4	13.7	15.9
Memory	Total Block RAM (Mb)	0.8	1.7	3.8	5.4	16.7	33.5	21.1
	UltraRAM (Mb)	6.8	13.2	30.4	43.6	63.0	129.9	74.3
	Accelerator RAM (Mb)	32	32	32	32	0	0	0
	Total SRAM Capacity (Mb)	40.2	48	69.4	85.6	91.1	177.1	111.3
	DDR Memory Controllers	1	1	1	1	3	3	3
	DDR Bus Width	64	64	64	64	192	192	192
Scalar Engines	Application Processing Unit	Dual-core Arm® Cortex-A72, 48KB/32KB L1 Cache w/ parity & ECC; 1MB L2 Cache w/ ECC						
	Real-Time Processing Unit	Dual-core Arm Cortex-R5F, 32KB/32KB L1 Cache, and 256KB TCM w/ECC						
	Memory	256KB On-Chip Memory w/ECC						
Serial Transceivers	Connectivity	Ethernet (x2); UART (x2); CAN-FD (x2); USB 2.0 (x1); SPI (x2); I2C (x2)						
	GTY 32G	0	0	0	0	0	44	0
	GTYP 32G	0	0	8	8	32	0	32
Integrated Protocol IP	CCIX & PCIe® w/DMA (CPM)	-	-	-	-	1 x Gen4x16, CCIX	1 x Gen4x16, CCIX	1 x Gen4x16, CCIX
	PCI Express®	-	-	1 x Gen4x8	1 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen4x8
	40G Multirate Ethernet MAC	0	0	1	1	2	2	2
	Video Decoder Unit (VDU)	-	-	-	-	2	-	4
	Platform Mgmt Controller	Boot, Security, Safety, Monitoring, and High-Speed Debug						



XILINX®

Архитектура Versal

- ◆ Процессорная система
- ◆ Контроллер управления платформой
- ◆ Программируемая логика
- ◆ DSP-блоки
- ◆ Блоки искусственного интеллекта
- ◆ Система тактирования
- ◆ Сеть на чипе (Network on Chip или NoC)
- ◆ Контроллеры памяти
- ◆ Порты ввода-вывода
- ◆ Трансиверы
- ◆ Высокоскоростные интерфейсы



Процессорная система

Процессор приложений:

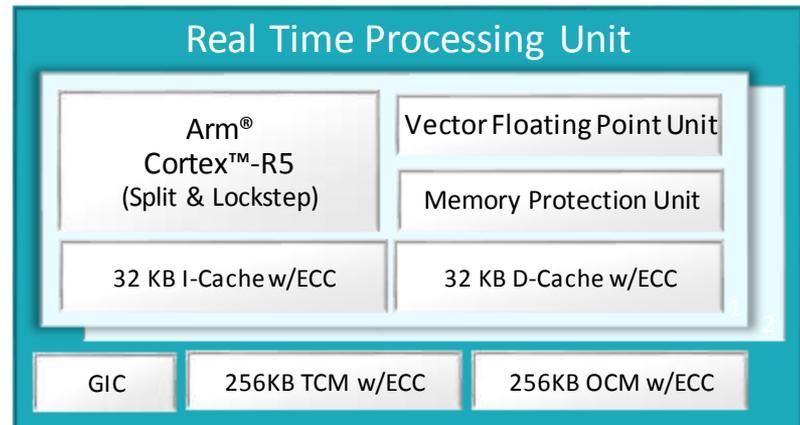
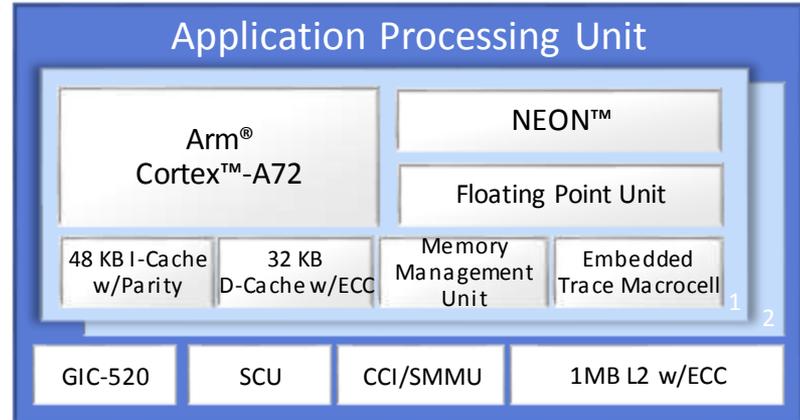
2-х ядерный ARM Cortex-A72

- В 2 раза более производительный
- Частота до 1.7 ГГц
- Код совместим с ARM Cortex-A53
- Загрузка устройства без битстрима

Процессор реального времени:

2-х ядерный ARM Cortex-R5F

- В 1.4 раза более производительный
- Низкая задержка работы
- Гибкие режимы работы
- Самые высокие уровни функциональной безопасности



Процессорная система

Cortex-A53	Cortex-A72	Versal ACAP Benefits
Armv8A architecture (64-bit and 32-bit operations)		No application code changes required
EL0-EL3 exception levels		
Secure/non-secure operation		
Advanced SIMD NEON floating-point unit		
Integrated memory manager		
Power island control		
Up to 1500 MHz	Up to 1700 MHz	Higher frequency
2.23 DMIPS per MHz	5.74 DMIPS per MHz	2 times higher raw performance (per Arm benchmarks)
3.65 SPEC2006int per GHz	6.84 SPEC2006int per GHz	
2-way super scalar	3-way super scalar	More efficient instruction cycle
In-order execution	Out-of-order execution	Higher performance and fewer memory stalls
Power efficient	Improved power efficiency	20% lower power
8-stage pipeline	15-stage pipeline	More instructions queued and executed
Conditional branch prediction	Two-level branch prediction	Higher cache hits and less memory fetches

Процессорная система

Peripheral	Zynq UltraScale+ MPSoC	Versal ACAP
CAN, CAN-FD	2 controllers with standard CAN	2 controllers with controller area network - flexible data rates (CAN-FD)
GEM	4 controllers	2 controllers with time-sensitive networking (TSN) feature
GPIO	1 controller	2 controllers
I2C	2 controllers	2 controllers in LPD (general purpose) 1 controller in PMC (general purpose)
NAND	1 controller	N/A
PCIe (Gen1, Gen2)	1 controller	N/A
PCIe (Gen3, Gen4)	1 controller	Varies by device
SPI	2 controllers	2 controllers
SATA	1 controller	N/A
UART	2 controllers with standard UART	2 controllers with Server Base System Architecture (SBSA)
USB 2.0, 3.0 (host, device, on-the-go)	2 controllers	N/A
USB 2.0 (host, device, dual-role device)	N/A	1 controller

Контроллер управления платформой

Конфигурирование

- > Загрузка АСАР за миллисекунды
- > Настройка PL
- > Динамическая конфигурация в 8 раз быстрее
- > Поддержка Octal SPI

Безопасность

- > AES-GCM шифрование
- > Аутентификация: RSA, ECDSA
- > Генератор случайных чисел

Системный монитор

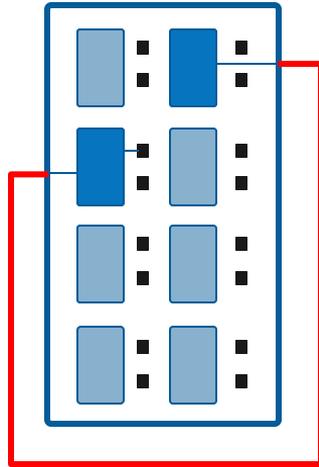
- > Измерение температуры
- > Измерение потребления
- > Сигналы тревоги

Отладка устройства

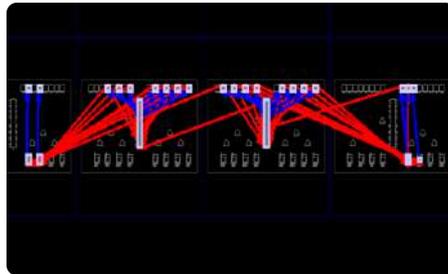
- > Отладка через новый высокоскоростной порт
- > Считывание состояний в 8 раз быстрее
- > Улучшенный захват данных

Программируемая логика

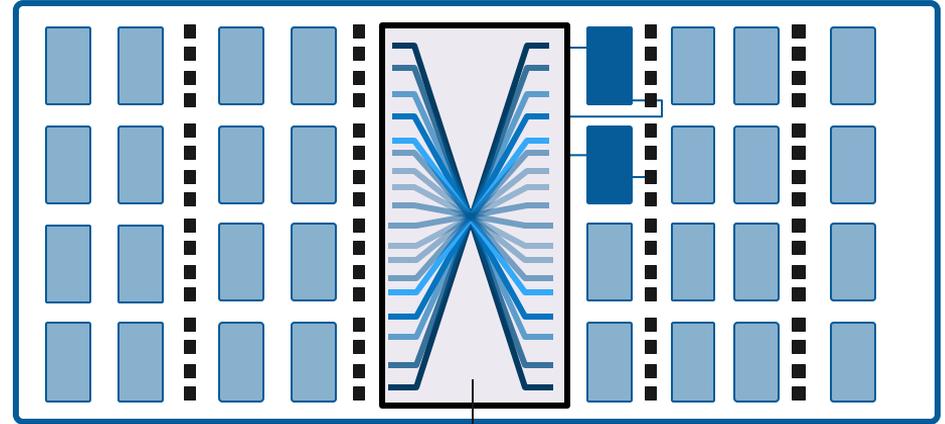
16nm UltraScale CLB



16nm 16b_counter
16 Global routes used

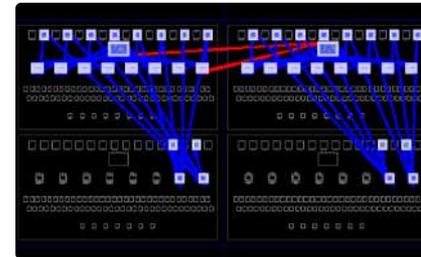


7nm Versal CLB

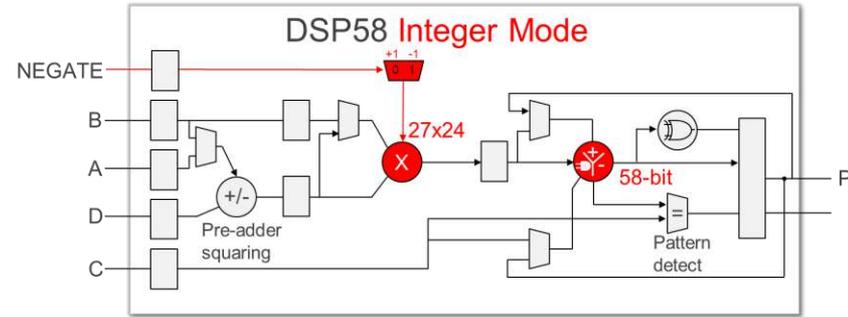
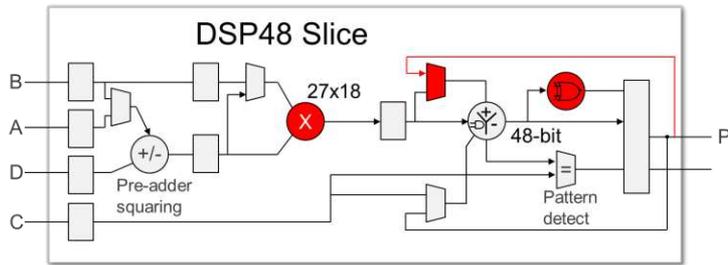


New CLB Interconnect

16b_counter
2 Global routes used



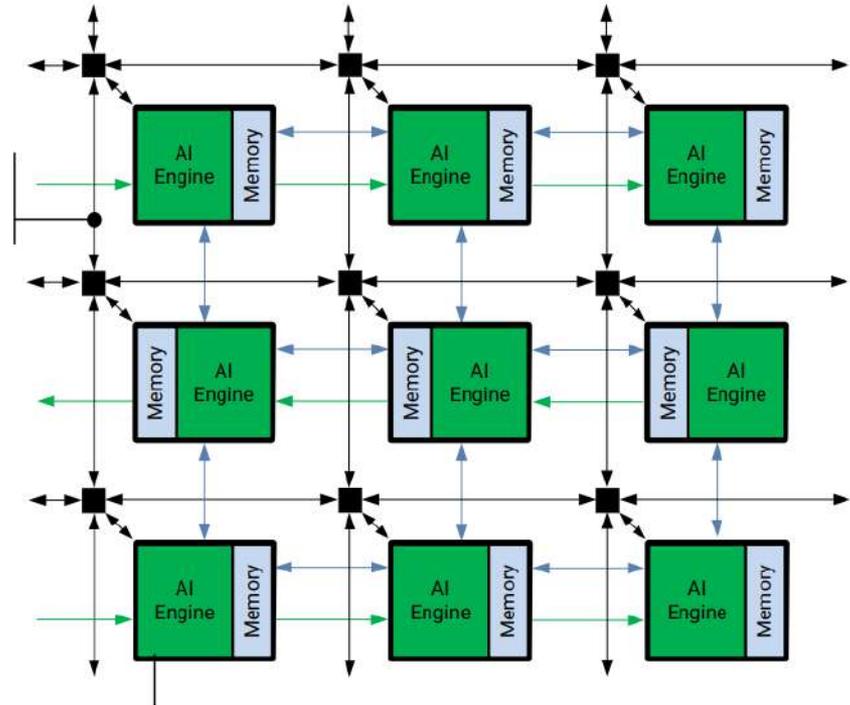
DSP-блоки



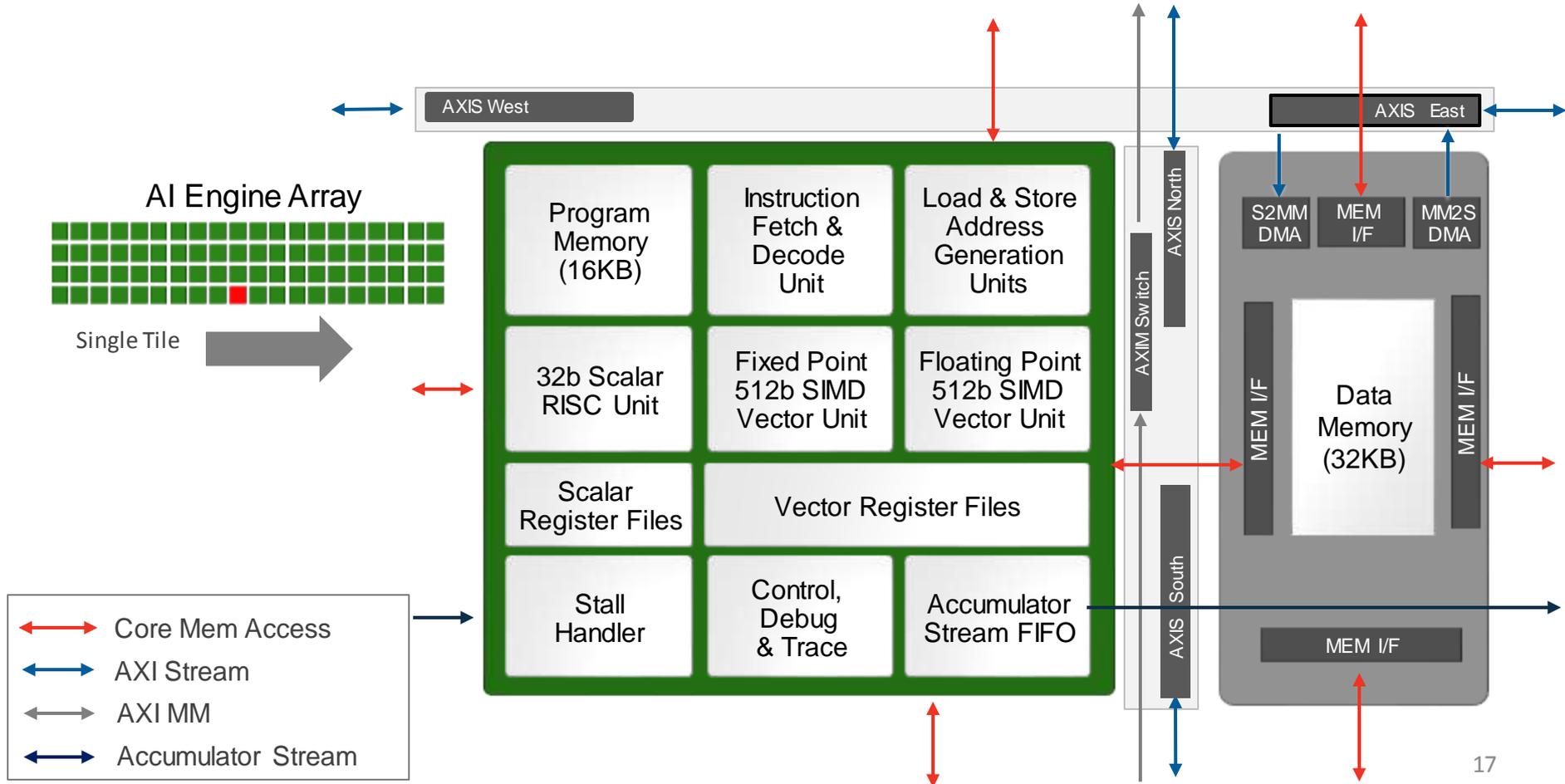
Function	DSP48E2	DSP58
DSP Tile/Slice Type	DSP48E2	DSP58
Multiplier and MACC	27x18	27x24
32b/16b SPFP Multiply-Add	Soft	✓
Complex 18b x Complex 18b	N/A	2 x DSP58
3 x Int8 Dot Product	N/A	✓

Блоки искусственного интеллекта

- 1+ GHZ VLIW/SIMD AI Engine
- 32-битный скалярный процессор RISC
- Поддержка чисел с фиксированной и плавающей точками
- Каждый AI Engine может получить доступ к 4 модулям памяти (N, E, S, W) в качестве одной смежной памяти
- Поддержка AXI-MM для настройки, управления и отладки, и Axi-Stream для маршрутизации потоков



БЛОКИ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА



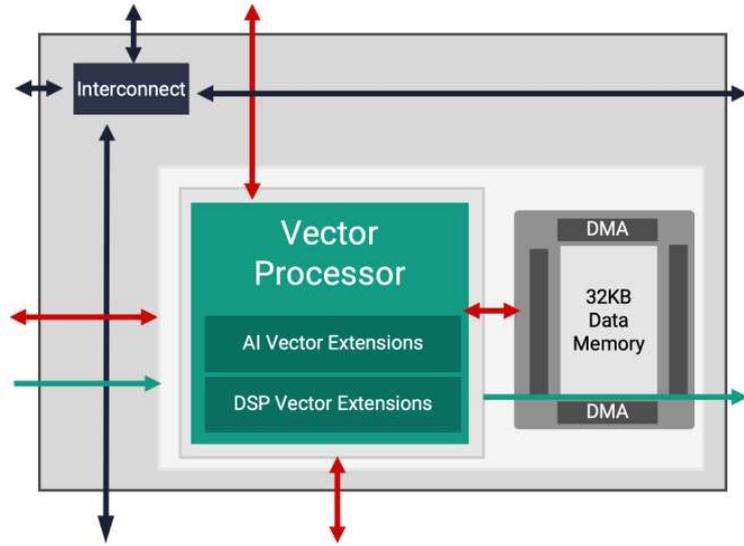
БЛОКИ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА

AI Engine Array, 6 x 4 AI Engine Tiles and corresponding
AI Engine-PL/NoC Interface Tiles

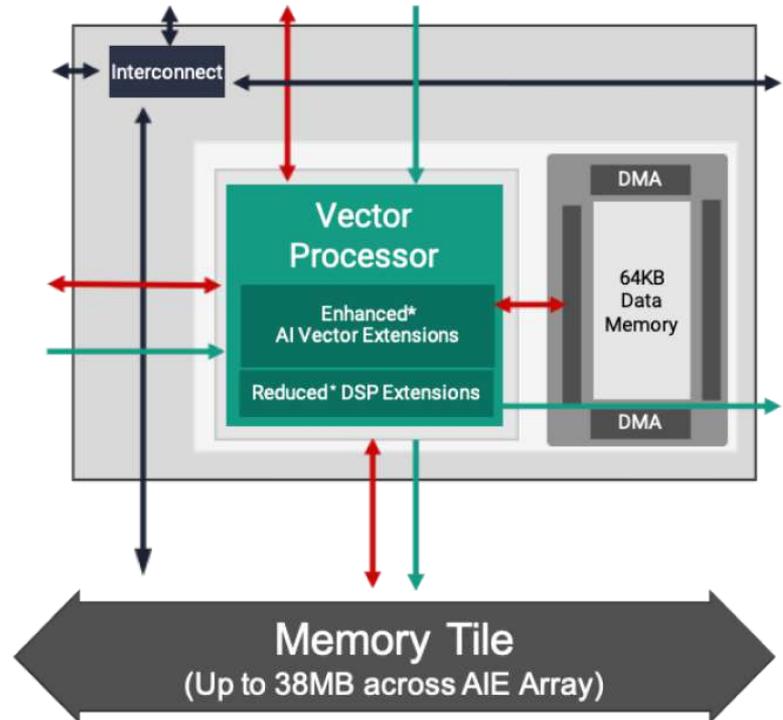
AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile
AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile
AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile
AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile	AI Engine Tile
Configuration Interface Tile	PL Interface Tile	NoC Interface Tile	NoC Interface Tile	PL Interface Tile	PL Interface Tile

БЛОКИ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА

AI Engine



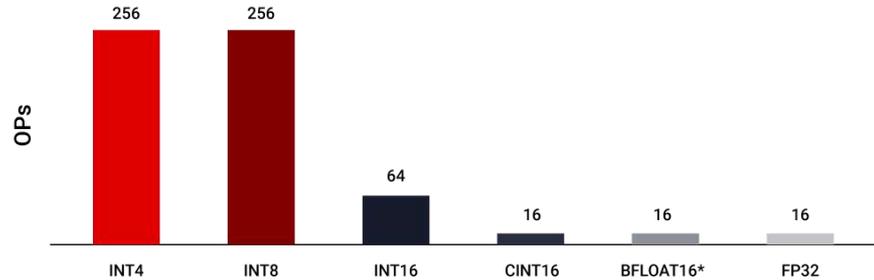
AI Engine-ML



БЛОКИ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА

AI Engine

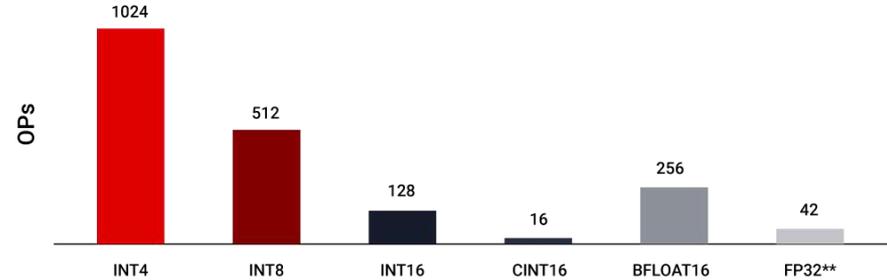
OPs per AIE Tile



*BFLOAT16 implemented using FP32 vector processor

AI Engine-ML

OPs per AIE-ML Tile



**SW emulation for AIE-ML FP32 support

Система тактирования

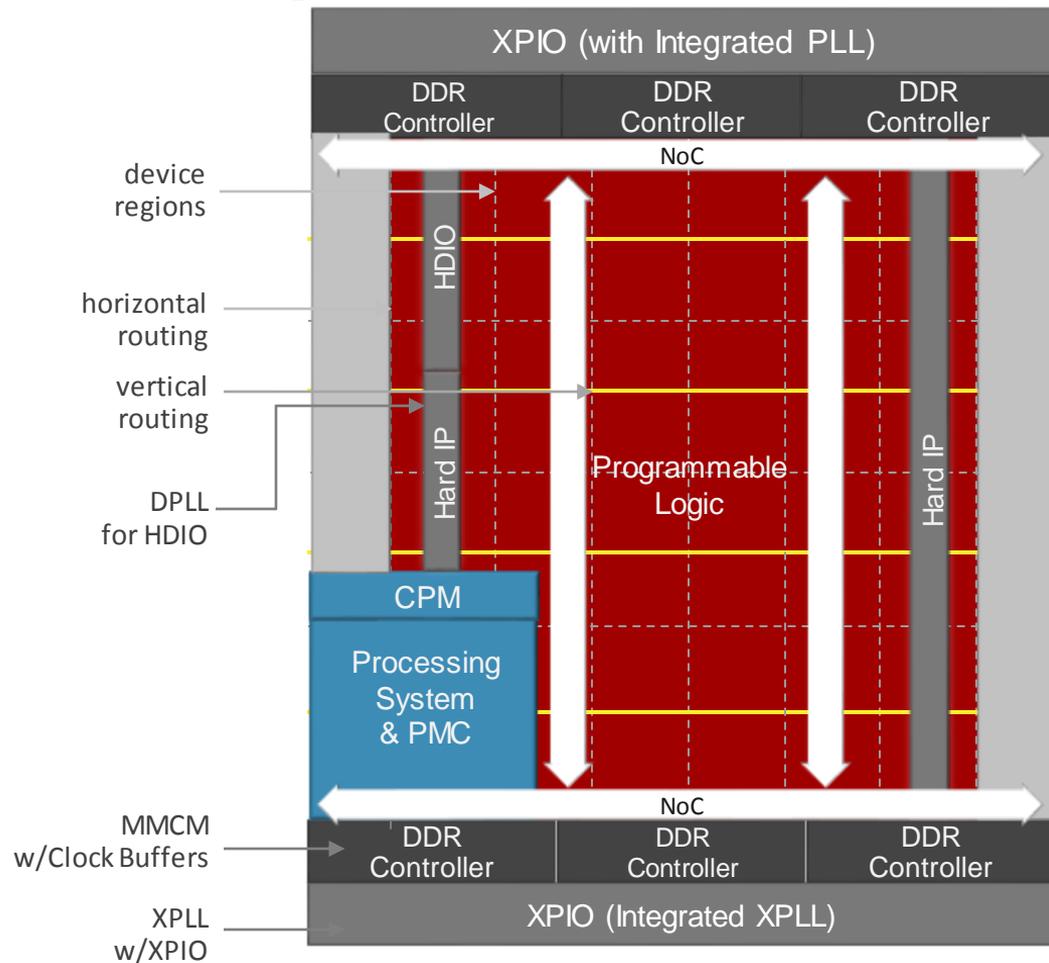
Глобальная система тактирования аналогична UltraScale / +

- Устройство разбито на тактовые домены
- Горизонтальная маршрутизация доступна в каждом регионе
- Вертикальная трассировка рядом с вертикальной колонной NoC

MMCM и PLL разделены

- MMCM с тактовыми буферами
- XPLL с XPIO

Дополнительный DPLL для HDIO



Сеть на чипе

Высокая пропускная способность – 1+ ТБ/сек

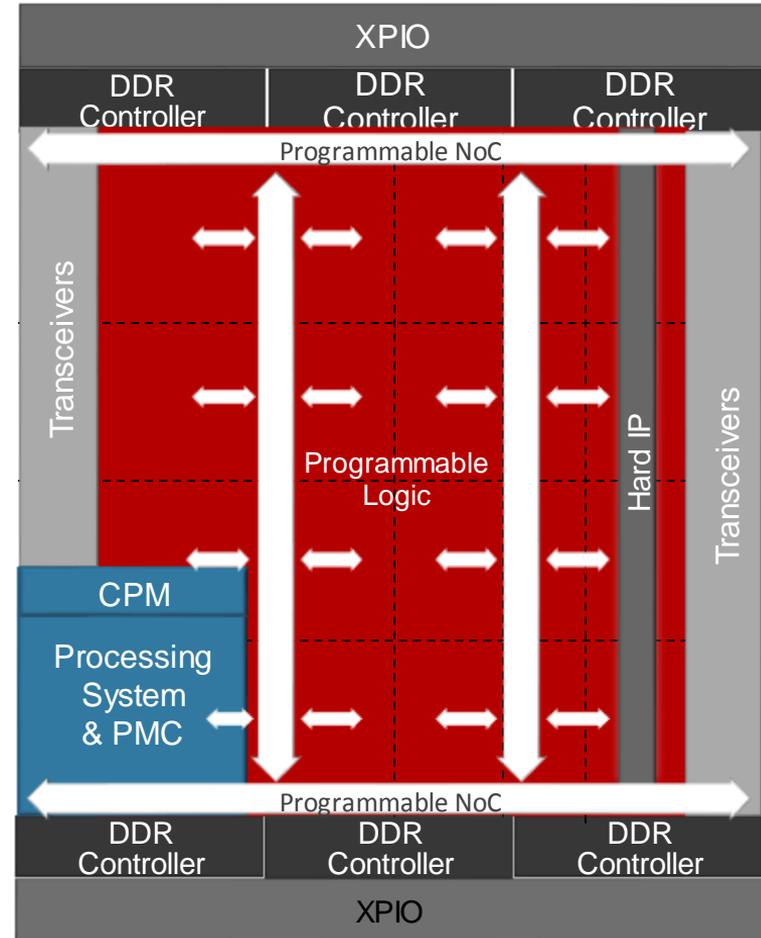
- Обеспечивает доступ ко всем ресурсам
- Встроенный арбитраж между вычислителями и памятью
- Структура на основе AXI4, охватывающая все устройство (по высоте и ширине)

Высокая пропускная способность, низкая задержка, низкое энергопотребление

- Гарантированные характеристики доставки пакетов
- 8-кратная энергоэффективность по сравнению с реализацией на ПЛИС
- Поддержка AXI4 MM и AXI4 Stream
- Дополнительный DPLL для HDIO

Адаптивное размещение IP-ядер

- Каждый регион PL имеет главный и подчиненный интерфейс
- Простая замена ядер на границах портов NoC
- Упрощает связь между ядрами



Контроллеры памяти

Выделенные аппаратные контроллеры памяти

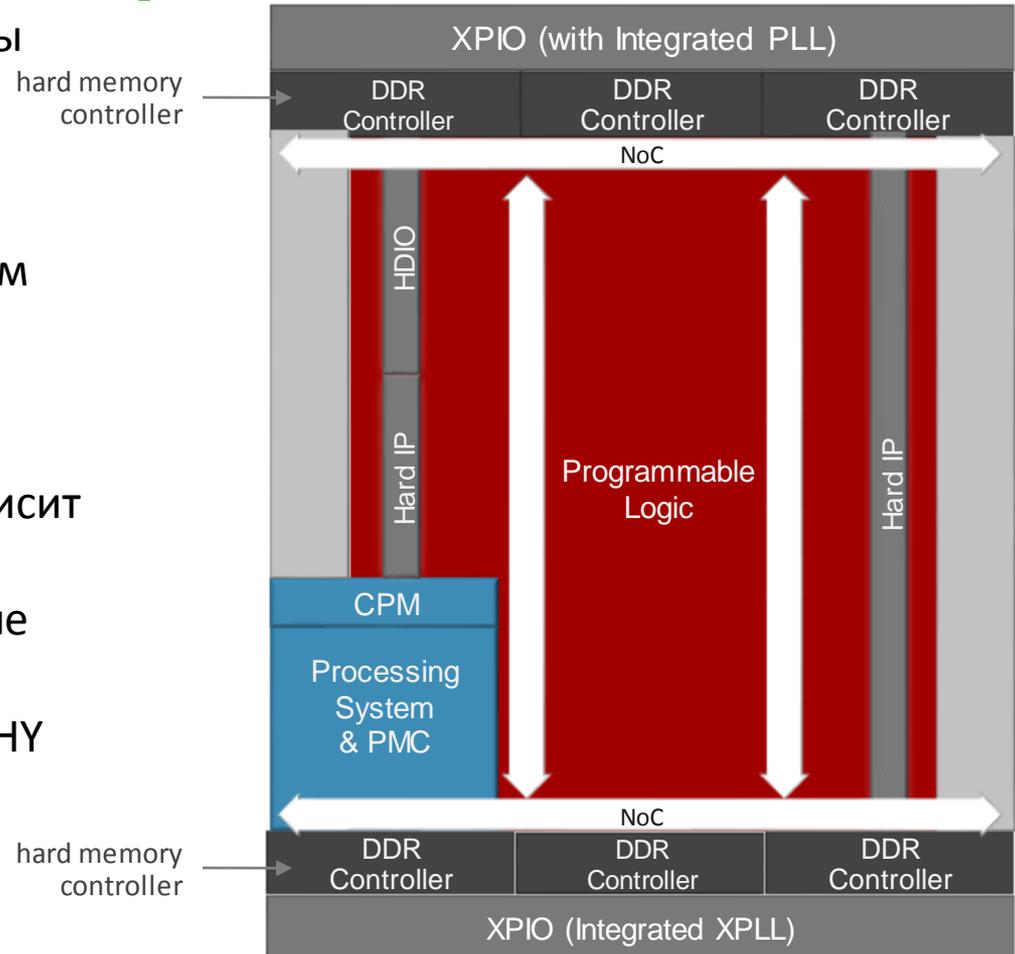
- Расположены вверху и внизу устройства
- Доступ к аппаратным контроллерам через горизонтальный NoC
- Поддержка DDR4 (3200 Мб/с) и LPDDR4 (4266 Мб/с)

Количество контроллеров памяти зависит от размера устройства

- Чем больше устройство, тем больше XPIO

Программный Soft PL с аппаратным PHY для других конфигураций

- RLDRAM3, QDRIV, DDR3L



Порты ввода-вывода

XPIO

(1.0 to 1.5V)

54 I/O Pins & 2 PLLs/Bank

- DDR4 (1.2V)
- LPDDR4 (1.1V)
- LPDDR4x (0.5V)
- RDRAM3, QDRIV
- NAND, SCM, Slave
- 3.2Gb/s on-1 (DDR4 DIMM)
- 3.7-4.2Gb/s for Component I/F
- LVDS (long-reach)
- 3.2Gb/s MIPI D-PHY
- DCI, Slew Control
- I/O Delay

HD IO

(1.8 to 3.3V)

- 400Mb/s @ 1.8V
- 250Mb/s @ 2.5V/3.3V
- IODELAY
- DPLL

MIO

(1.8 to 3.3V)

- 1.8V LVCMOS, SSTL18
- 3.3V & 2.5V LVCMOS, LVTTTL
- PS MIO @400Mb/s
- <100Mb/s PL Access

- Аппаратные контроллеры памяти DRAM
- Совместимы с процессорной системой

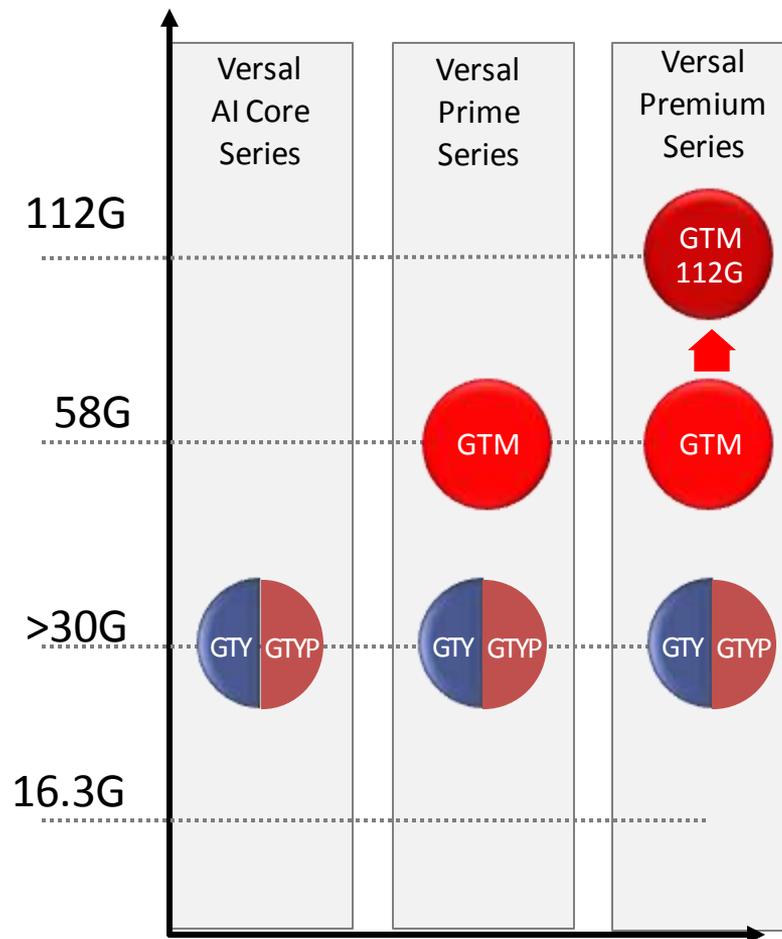
Трансиверы

GTU -трансиверы, совместимые с PCIe Gen5

- Стандартный GTU со специфическими улучшениями для Gen5
- 128b130b поддерживает до 32 Гбит/с
- Поддержка XPIPE для 2x8xGen5
- Сопровождается аппаратными блоками PCIe Gen5

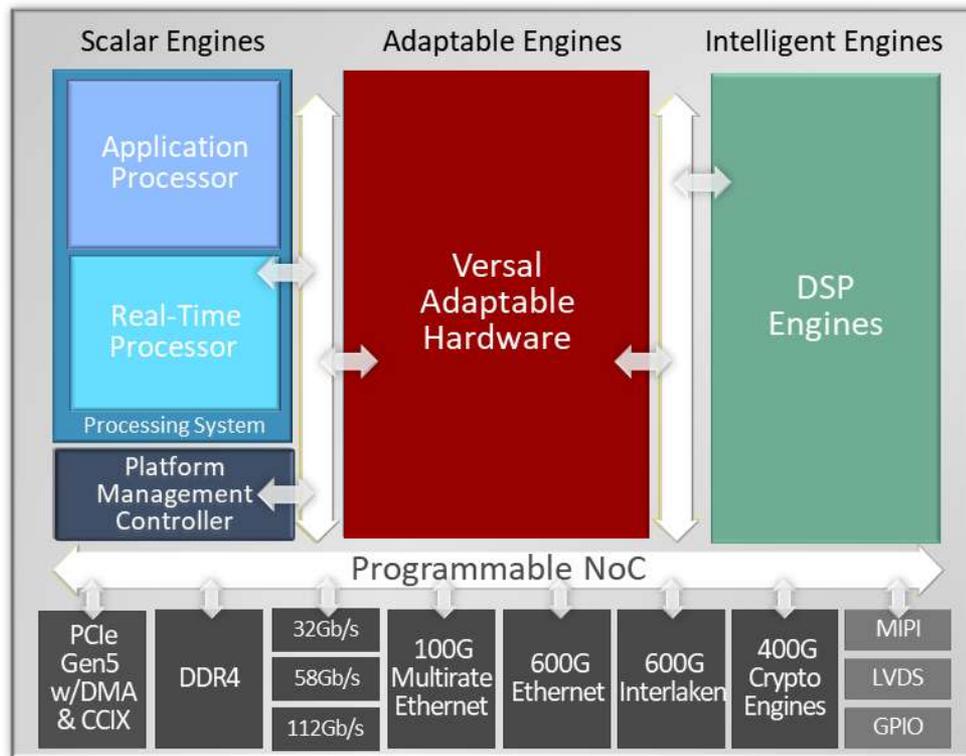
GTM с 112G PAM4

- Интегрирован с GTM для определенных комбинаций чипов/корпусов
- 2 GTM на одну полосу 112G

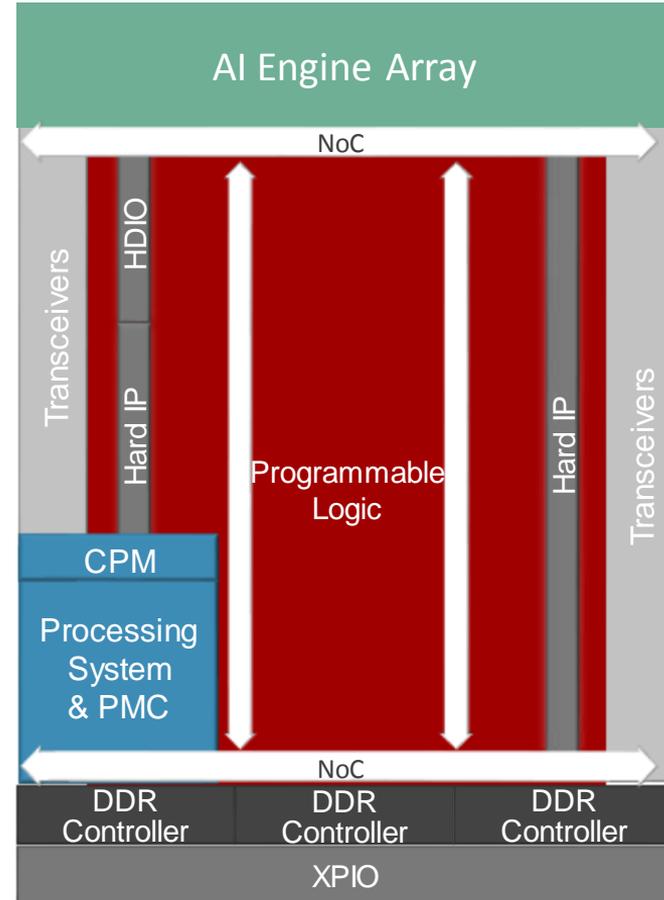
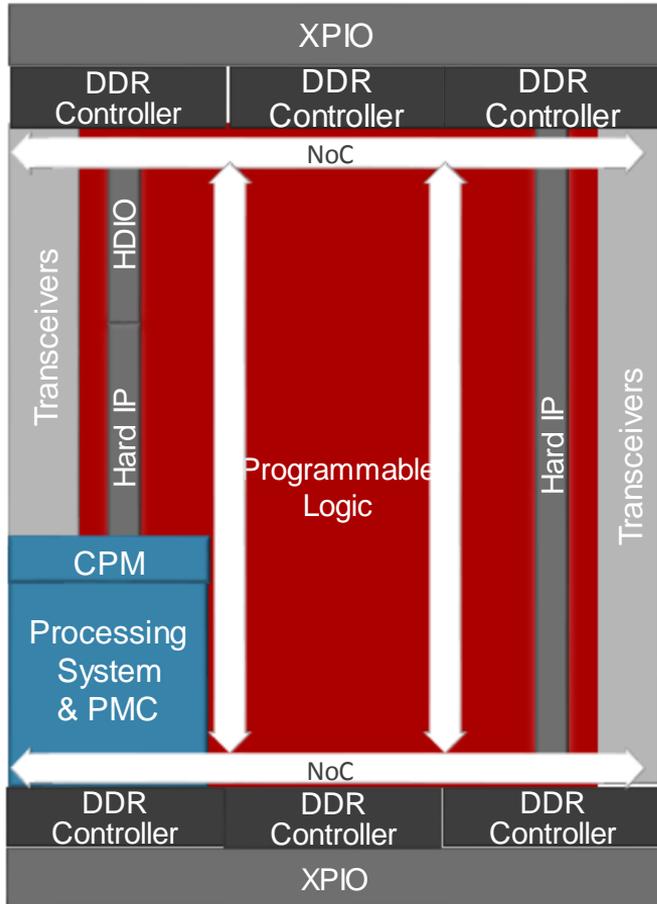


Высокоскоростные интерфейсы

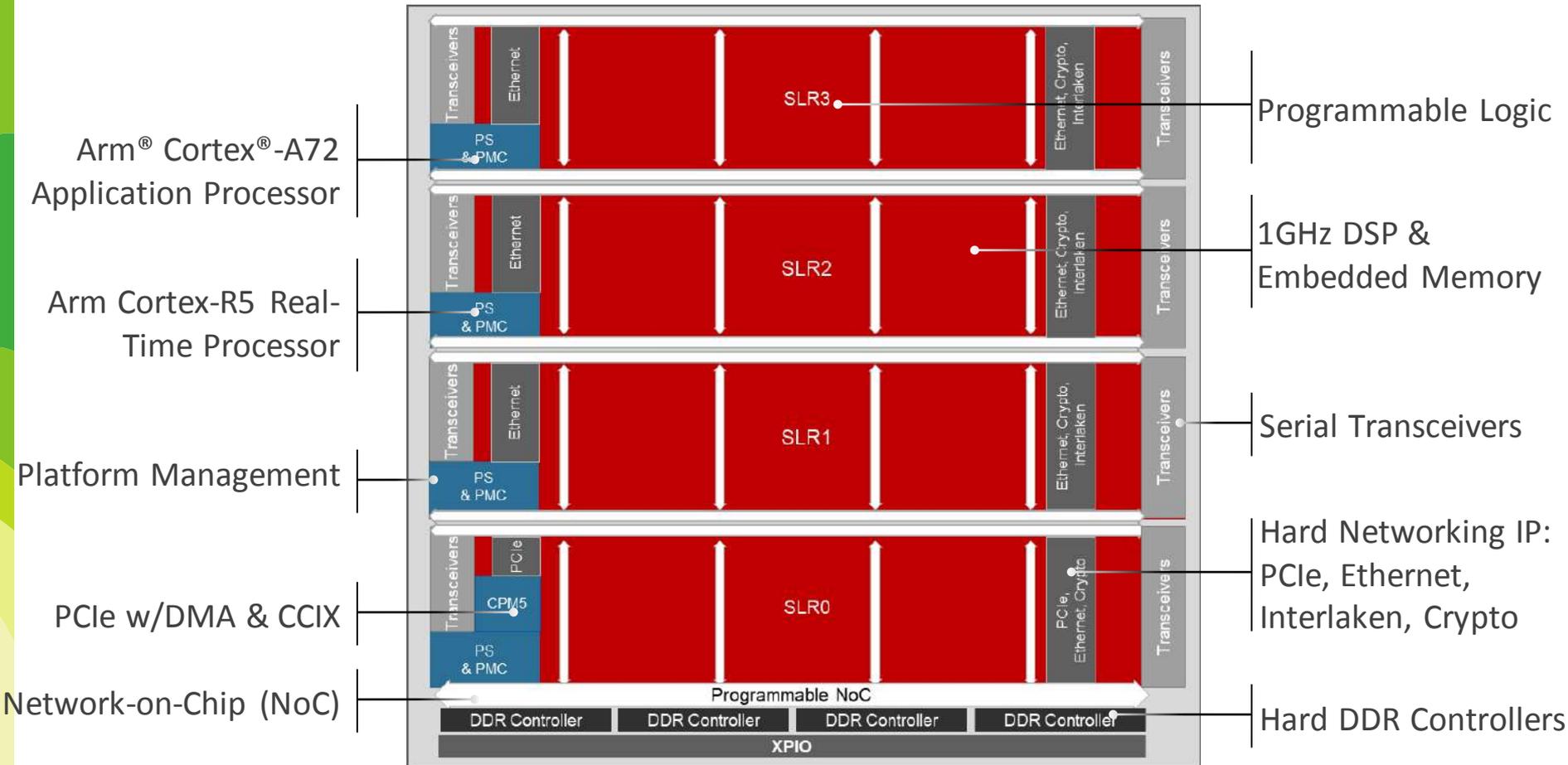
- PCIe Gen4/Gen5 (с поддержкой CCIX)
- 100G Multirate Ethernet MAC
- 600G Ethernet MAC
- 600G Interlaken
- 400G of Channelized Encryption



Архитектура Versal: Prime, AI Core и AI Edge Series



Архитектура Versal: Premium Series



Основные сферы применения Versal

Versal Prime Series

Nx100G Ethernet
& OTN Networking



Broadcast
Switches



Data Center
Network & Storage



Communications
Test Equipment



Avionics
Control



Medical
Imaging



Versal AI Core Series

Data Center
(Compute)



Cable Access
(Head-End)



5G Radio &
Beamforming
(DFE)



A&D Radar,
EW



ADAS, AD
(Move to Versal AI Edge
for Deployment)



Wireless
Test Equipment



Основные сферы применения Versal

Versal Premium Series

Data Center
Search & Analytics



Radar &
Avionics



Metro/Core
Transport



Network
Testers



Спасибо за внимание!

Компания Макро Групп:

- ◆ официальный партнер Xilinx
- ◆ комплексная поставка электронных компонентов
- ◆ техническая поддержка по всем вопросам применения продукции и ПО Xilinx
- ◆ контрактное производство электроники

Обращайтесь:

- ◆ Dmitriy.Shadrin@macrogroup.ru
- ◆ Dmitry.Khorkov@macrogroup.ru
- ◆ fpga@macrogroup.ru



Список литературы

[Versal: The First Adaptive Compute Acceleration Platform \(ACAP\)](#)

[ACAP at the Edge with the Versal AI Edge Series](#)

[AM002 - Versal ACAP GTY and GTYP Transceivers](#)

[AM003 - Versal ACAP Clocking Resources](#)

[AM004 - Versal ACAP DSP Engine](#)

[AM005 - Versal ACAP Configurable Logic Block](#)

[AM006 - Versal ACAP System Monitor](#)

[AM007 - Versal ACAP Memory Resources](#)

[AM009 - Versal ACAP AI Engine](#)

[AM010 - Versal ACAP SelectIO Resources](#)

[AM011 - Versal ACAP Technical Reference Manual](#)

[AM013 - Versal ACAP Packaging and Pinouts](#)

[AM015 - Versal ACAP AI Engine Register Reference](#)

[AM016 - Versal ACAP CPM CCIX](#)

[PG313 - Versal ACAP Programmable Network on Chip and Integrated Memory Controller v1.0](#)