

Переход с Серии 7 на UltraScale/UltraScale+



Владимир Викулин, инженер по применению Xilinx

29.06.2021 г.

План вебинара

- ◆ Series 7 и US/US+ - основные факты
- ◆ Преимущества US/US+ (на примере линейки Artix)
- ◆ Подробнее о новой линейке Artix US+
- ◆ Сравнение US/US+ и Series 7
- ◆ Рекомендации по переводу проектов с серии 7 на UltraScale/UltraScale+
- ◆ Практический пример
- ◆ Вопросы-ответы

Основные факты

	Series 7	UltraScale	UltraScale+
Год выпуска	2011	2014	2016
Техпроцесс	28 nm HPL	20 nm FinFET	16 nm FinFET
Серии	Virtex, Kintex, Artix, Spartan, Zynq	Virtex, Kintex	Virtex, Kintex, Artix, ZynqUS+
Кол-во корпусов	10 (CLG225 13x13 mm - FFG1156 35x35 mm)	11 (23x23 – 55x55 mm)	>15 (11.5x9.5 - 65x65)
Питание ядра	0.9 – 1.0 В	0.9В – 1.0В;	0.85В – 0.95В
LE	6K – 1955K	318K – 5500K	96K – 9000K
BRAM	180 Kb - 67,680 Kb	3.5Mb – 133Mb	3.5Mb – 92.5Mb
URAM	–	–	13.5Mb – 360Mb
HBM RAM	–	–	4GB – 16GB
DSP	10 – 3600	600 - 5520	400 – 12288
PCIe	Gen1,2, 3 (Soft IP)	Gen1,2,3	Gen 3,4
ADC	XADC 10 bit	SysMon1 (2x12bit@1Msps)	SysMon1 (2x12bit@1Msps)
Trans	6.6 – 28.5 Gbs	16.3 – 30.5 Gbs	16.3 – 58.0 Gbs
IO	100 – 1200	312 – 1456	128 – 2072

Преимущества UltraScale(+) перед Series 7 (На примере линейки Artix)

Характеристика	Artix US+	Artix 7
Производительность /ватт	2.4X (По сравн. С Artix-7)	1X
Трансиверы	16 Gbs	6.6 Gbs
Память	DDR4-2400 BlockRam	DDR3 BlockRAM
PCI Express	Gen3x 8, Gen4x 2	Gen2
Ресурсы	Up to 308K System Logic Cells Up to 1,200 DSP Slices	Up to 215K System Logic Cells Up to 740 DSP Slices
Номенклатура и Корпуса	4 устройства, 4 типа корпусов	8 устройств, 9 типов корпусов

Номенклатура Artix UltraScale+

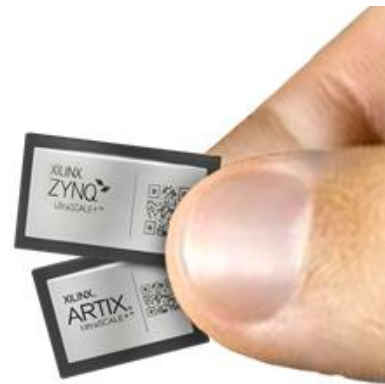
Device Name	AU10P	AU15P	AU20P	AU25P
System Logic Cells (K)	96	170	238	308
CLB Flip-Flops (K)	88	156	218	282
CLB LUTs (K)	44	78	109	141
Max. Dist. RAM (Mb)	1.0	2.5	3.2	4.7
Total Block RAM (Mb)	3.5	5.1	7.0	10.5
36K Block RAM Blocks	100	144	200	300
UltraRAM (Mb)	–	–	–	–
Clock Management Tiles (CMTs)	3	3	3	4
DSP Slices	400	576	900	1,200
PCIe® Gen3 / Gen4	PCIe Gen 4	PCIe Gen 4	PCIe Gen 3	PCIe Gen 3
AMS - System Monitor	1	1	1	1
Max. Single-Ended HD I/Os	72	72	72	96
Max. Single-Ended HP I/Os	156	156	156	208
GTH 16.3Gb/s Transceivers ⁽¹⁾	12	12	–	–
GTY 16.3Gb/s Transceivers ⁽¹⁾	–	–	12	12
Extended / Industrial	-1 -2 / -1 -2 -1L			

Корпусировка Artix UltraScale+

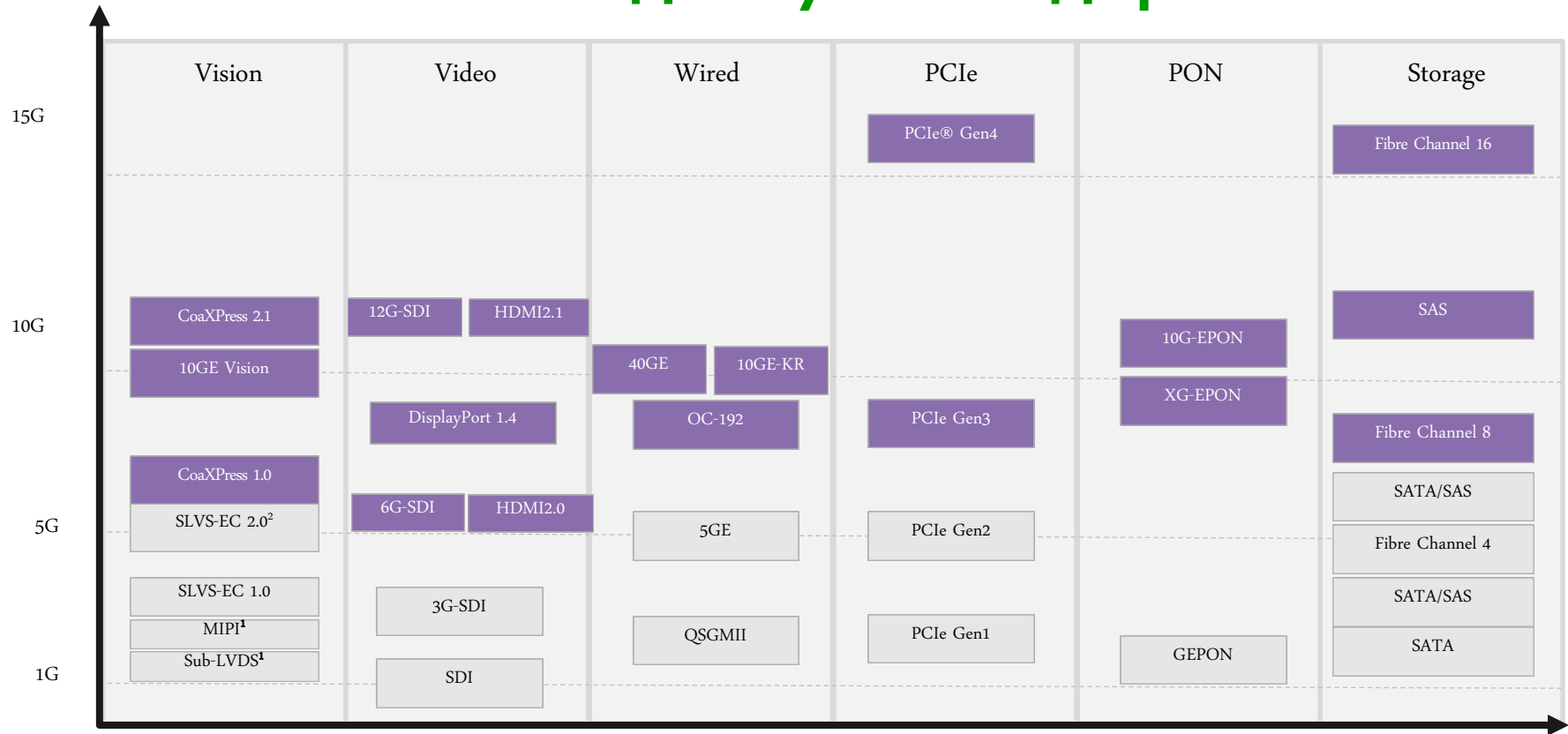
Device Name			AU10P	AU15P	AU20P	AU25P
Footprint ^(2,3)	Dim. (mm)	Ball Pitch (mm)	HD I/O, HP I/O, GTH, GTY			
A368	11.5x9.5	0.5	24, 104, 8, 0	24, 104, 8, 0		
B484	19x19	0.8	48, 156, 12, 0	48, 156, 12, 0		
B784	23x23	0.8			72, 156, 0, 12	96, 208, 0, 12
B676	27x27	1.0	72, 156, 12, 0	72, 156, 12, 0	72, 156, 0, 12	72, 208, 0, 12

1. GTH and GTY transceiver line rates are package limited: SFVB784, SBVB484, and UBVA368 to 12.5Gb/s. 12.5Gb/s operation in UBVA368 package is pending characterization.
2. For full part number details, see [DS890](#), *UltraScale Architecture and Product Overview*.
3. Consult [UG583](#), *UltraScale Architecture PCB Design User Guide* for specific migration details.

A368 11.5x9.5 mm



Больше доступных ядер

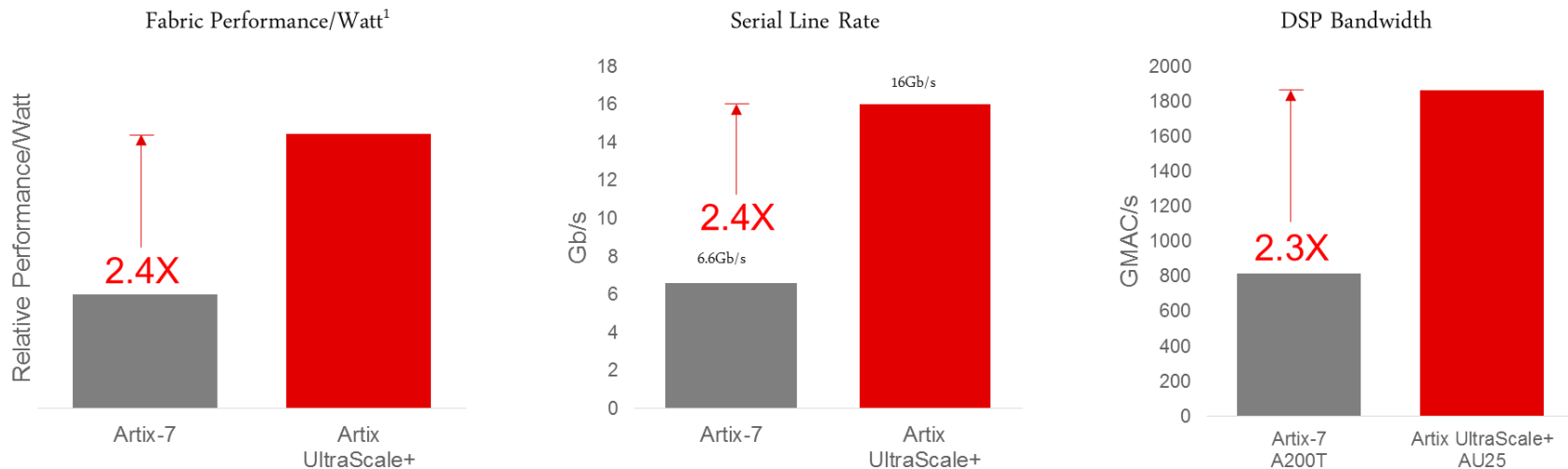


1: Artix® UltraScale+™ delivers 2500Mb/s LVDS/MIPI performance vs. Artix-7 at 1500MB/s

2: Artix UltraScale+ supports up to 12 lanes of SLVS-EC 2.0 in 19mm package

Itor

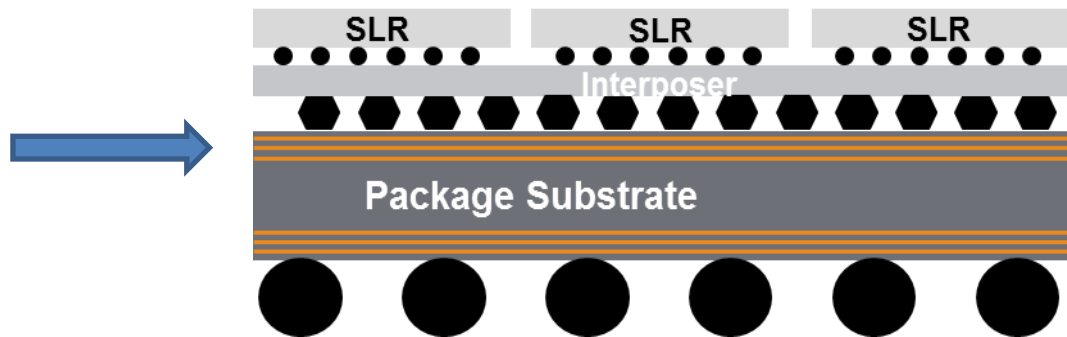
- ▶ Uniquely tunable operating voltage for adjustable fabric power/performance (up to 2.5X perf/watt)¹
- ▶ 2.4X SerDes line rate, power-optimized, and next generation equalization for optimal signal integrity
- ▶ Greater DSP performance and more efficient compute per DSP tile



1: Artix UltraScale+ delivers 1.6X performance at .8X power at V_{NOM} (0.85V) or 1.2X performance and .5X power at V_{LOW} (0.72V); Artix-7 V_{NOM} =1V

Особенности архитектуры US/US+

- Технология SSI (Stacked Silicon Interconnect)
- Аппаратные IP-ядра
- ULTRA-RAM
- HBM
- Усовершенствованная система тактирования
- Быстрые трансиверы



Характеристики серий

	Series 7	UltraScale	UltraScale+
Технология SSI	Нет	Да	Да
CLK	MMCME2, PLLE2	MMCME3	MMCME3
CLB			
DSP	DSP48E1	DSP48E2	DSP48E2
BRAM	Да	Да	Да
URAM	Нет	Нет	Да
HBM	Нет	Нет	Да
Аппаратные ядра	Нет (кроме PCI)	Да	Да
PCIe	Gen1/2/3	Gen1/2/3	Gen1/2/3/4
Transceivers	GTP, GTX, GTH, GTZ	GTH, GTY	GTH, GTY
IO	HR, HP	HR, HP	HD, HP

Серии 7: Семейства

Max. Capability	Spartan-7	Artix-7	Kintex-7	Virtex-7
Logic Cells	102K	215K	478K	1,955K
Block RAM	4.2 Mb	13 Mb	34 Mb	68 Mb
DSP Slices	160	740	1,920	3,600
DSP Performance	176 GMAC/s	929 GMAC/s	2,845 GMAC/s	5,335 GMAC/s
MicroBlaze CPU	260 DMIPs	303 DMIPs	438 DMIPs	441 DMIPs
Transceivers	–	16	32	96
Transceiver Speed	–	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Serial Bandwidth	–	211 Gb/s	800 Gb/s	2,784 Gb/s
PCIe Interface	–	x4 Gen2	x8 Gen2	x8 Gen3
Memory Interface	800 Mb/s	1,066 Mb/s	1,866 Mb/s	1,866 Mb/s
I/O Pins	400	500	500	1,200
I/O Voltage	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V
Package Options	Low-Cost, Wire-Bond	Low-Cost, Wire-Bond, Bare-Die Flip-Chip	Bare-Die Flip-Chip and High- Performance Flip-Chip	Highest Performance Flip-Chip

US/US+ : Семейства

	Artix UltraScale+ FPGA	Kintex UltraScale FPGA	Kintex UltraScale+ FPGA	Virtex UltraScale FPGA	Virtex UltraScale+ FPGA	Zynq UltraScale+ MPSoC	Zynq UltraScale+ RFSoc
MPSoC Processing System						✓	✓
RF-ADC/DAC							✓
SD-FEC							✓
System Logic Cells (K)	96–308	318–1,451	356–1,843	783–5,541	862–8,938	81–1,143	489–930
Block Memory (Mb)	3.5–10.5	12.7–75.9	12.7–60.8	44.3–132.9	23.6–94.5	3.8–34.6	22.8–38.0
UltraRAM (Mb)			0–81		90–360	0–36	13.5–45.0
HBM DRAM (GB)					0–16		
DSP (Slices)	400–1,200	768–5,520	1,368–3,528	600–2,880	1,320–12,288	216–3,528	1,872–4,272
DSP Performance (GMAC/s)	1,860	8,180	6,287	4,268	21,897	6,287	7,613
Transceivers	8–12	12–64	16–76	36–120	32–128	0–72	8–16
Max. Transceiver Speed (Gb/s)	16.3	16.3	32.75	30.5	58.0	32.75	32.75
Max. Serial BW (bidir) (Gb/s)	393	2,086	3,268	5,616	8,384	3,268	1,048
Memory Interface Perf (Mb/s)	2,400	2,400	2,666	2,400	2,666	2,666	2,666
I/O Pins	128–304	312–832	280–668	338–1,456	208–2,072	82–668	152–408

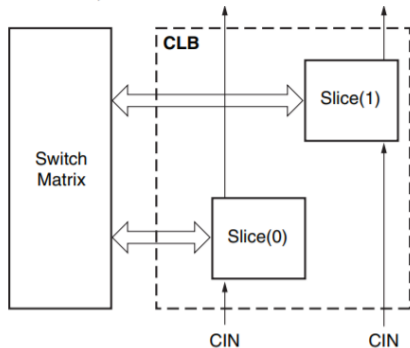
Различия в архитектуре: Логика

Серия 7

Slices	LUTs	Flip-Flops	Arithmetic and Carry Chains	Distributed RAM ⁽¹⁾	Shift Registers ⁽¹⁾
2	8	16	2	256 bits	128 bits

Notes:

1. SLICEM only, SLICEL does not have distributed RAM or shift registers.

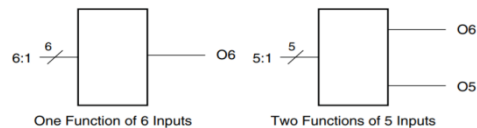
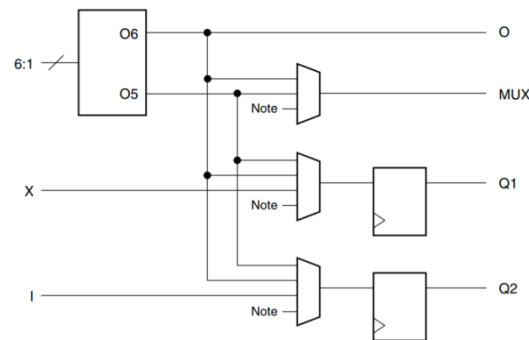


1CLB of 2 Slices,
2/3 SliceL 1/3 SliceM



US/US+

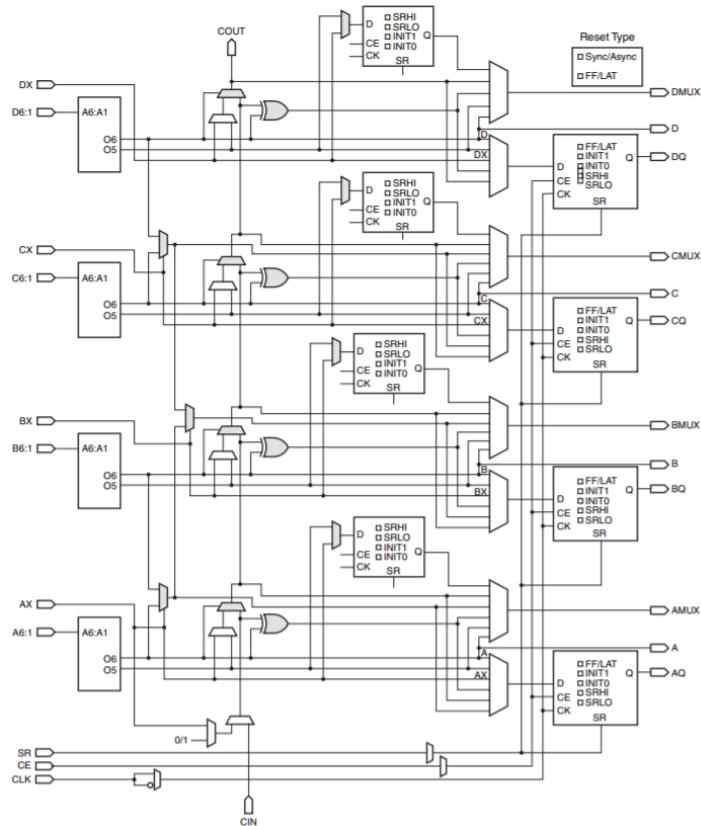
CLB Slice	LUTs	Flip-Flops	Arithmetic and Carry Chains	Wide Multiplexers	Distributed RAM	Shift Registers
SLICEL	8	16	1	F7, F8, F9	N/A	N/A
SLICEM	8	16	1	F7, F8, F9	512 bits	256 bits



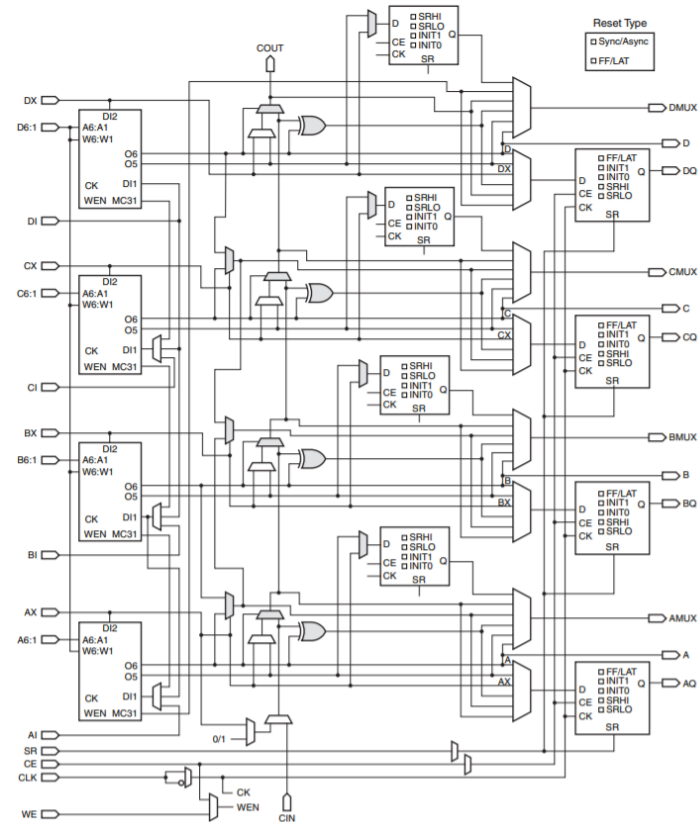
1CLB of 1 Slice of 8 LUTS ...

Различия в архитектуре: Логика

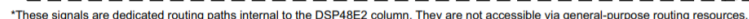
Series 7 SliceL



SliceM



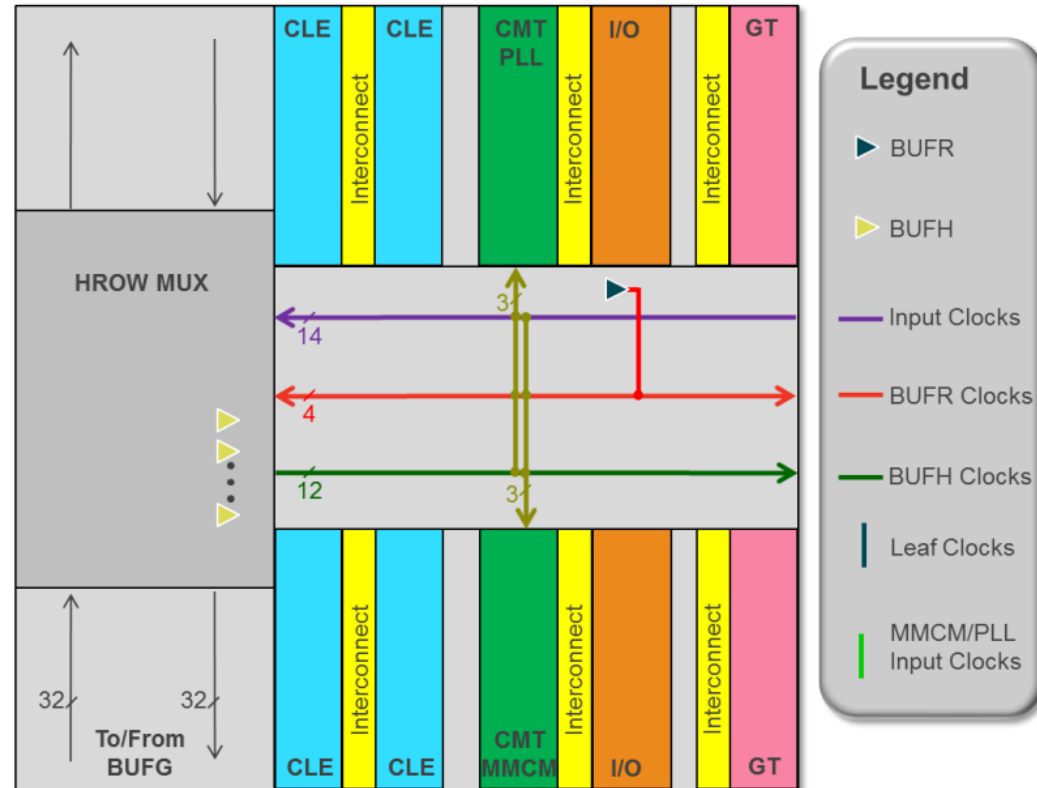
US/US+ DSP 48E2 Slice



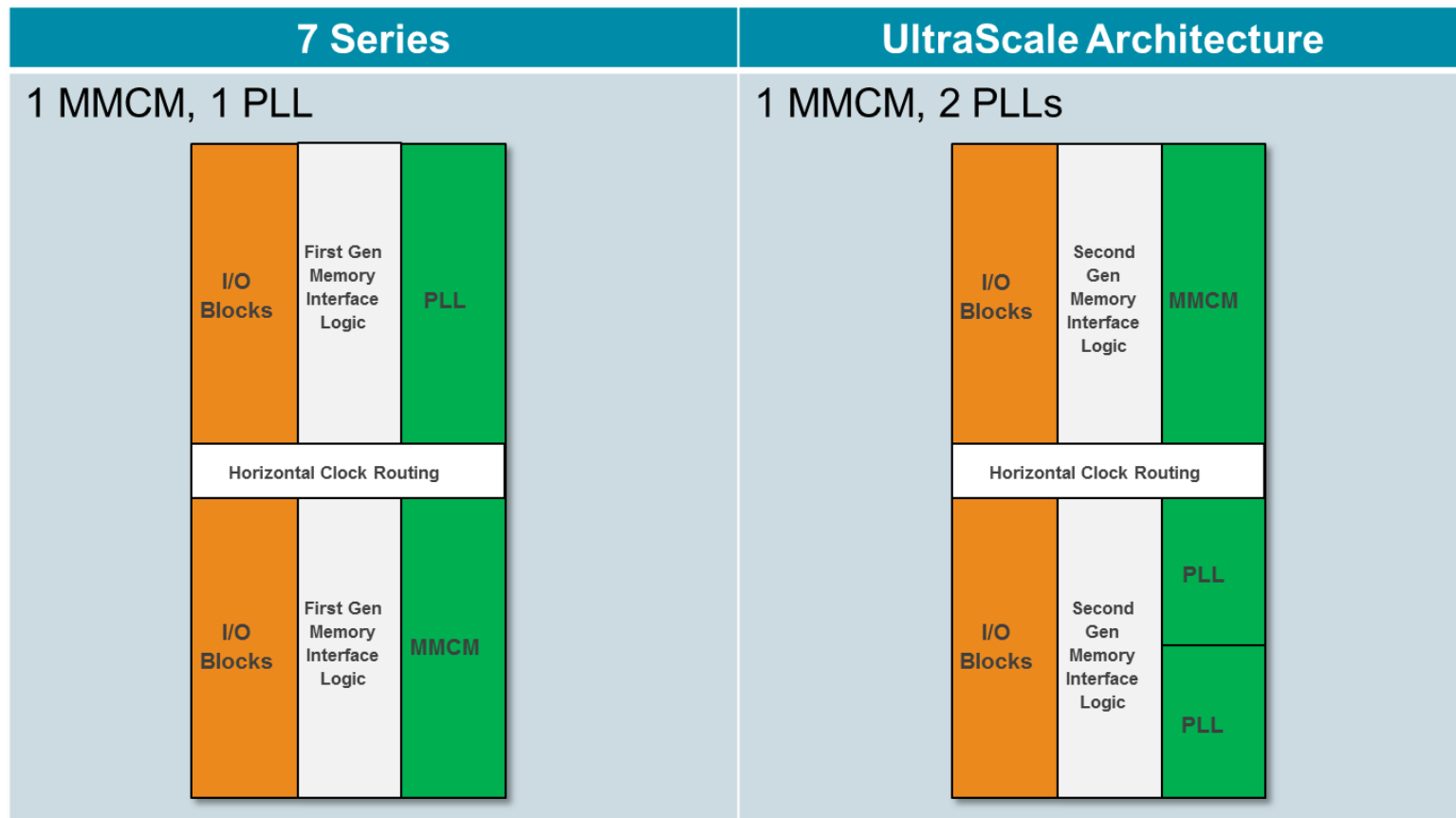
Различия в архитектуре: CLOCKS

Система тактирования Серии 7

- 3 BUFH, BUFR or Input Clocks to MMCM and PLL
- Different clocks drive MMCM and PLL



Различия в архитектуре: CLOCKS



Различия в архитектуре: В/В

> Компоненты В/В Серий 7 и US/US+ имеют существенные различия

- >> Как правило, требуется ручная адаптация
- >> В/В Серии 7: HR 1.2B - 3.3B; HP 1.2B - 1.8B
- >> В/В US: HR 1.2B - 3.3B; HP 1.0B - 1.8B
- >> US+: HD 1.2V - 3.3V; HP 1.0B - 1.8B.

> IBUF

- >> Differences in I/O standard support, DCI / IN_TERM, and IBUF Disable functions
- >> DCIRESET needed for DCI UpdateMode=Quiet (default)

> IDELAY/ODELAY

- >> Should use 200 – 1200 MHz reference clock
- >> ODELAY may not drive an output register
- >> IDELAY cannot drive a clock component (i.e., BUFG or MMCM input)

> IDDR

- >> INIT must be 0; no clock enable or set or synchronous reset capability

Различия в архитектуре: В/В

> ODDR

- >> No clock enable, set or sync reset can be connected and only SAME_EDGE supported
- >> Difference in reset release; not available to accept data until three clock cycles

> ISERDES

- >> No INIT, no clock enable, no set, no synchronous reset No BITSLLIP
- >> No ISERDES cascading
 - Only supports x4 and x8 modes

> OSERDES

- >> No clock enable, no set or synchronous reset
- >> No ISERDES cascading
 - Only supports x4 and x8 modes

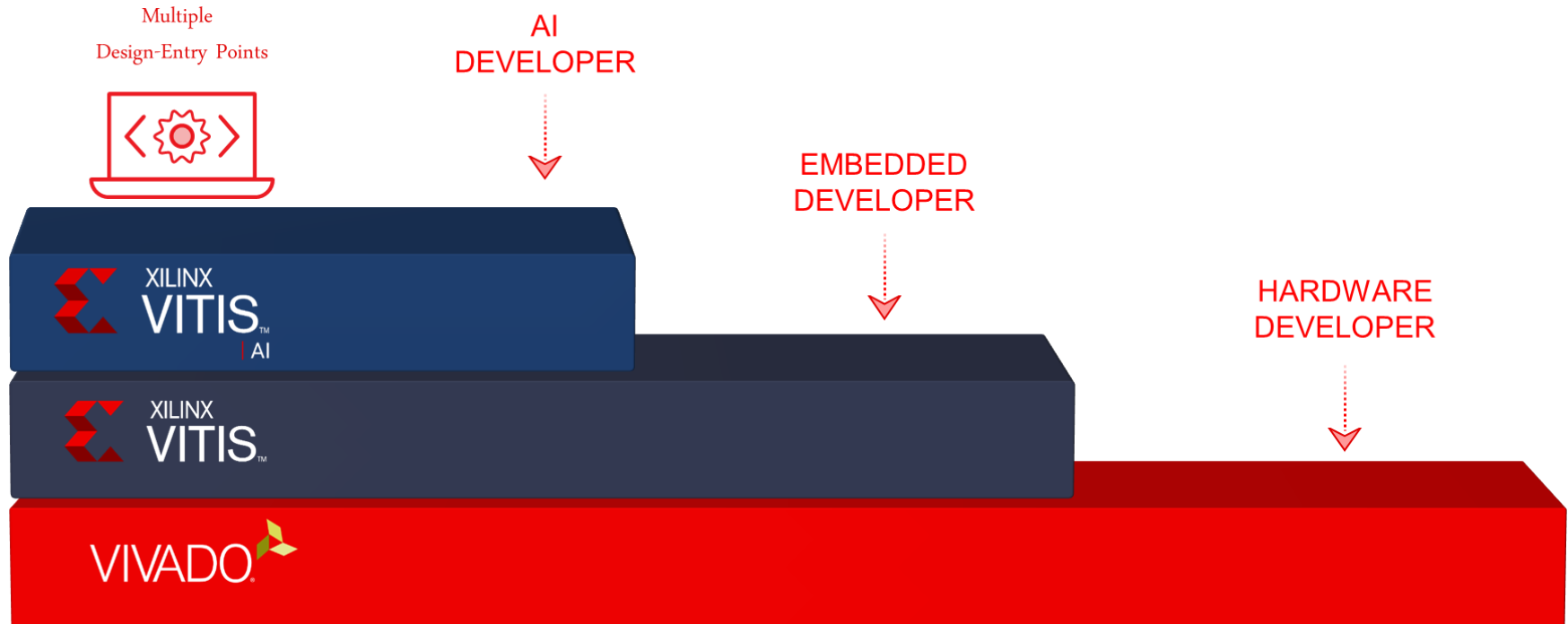
> IN_FIFO

- >> Integrated into ISERDESE3 and will not retarget

> OUT_FIFO

- >> Must replace with fabric-based FIFO

Средства разработки



Средства разработки

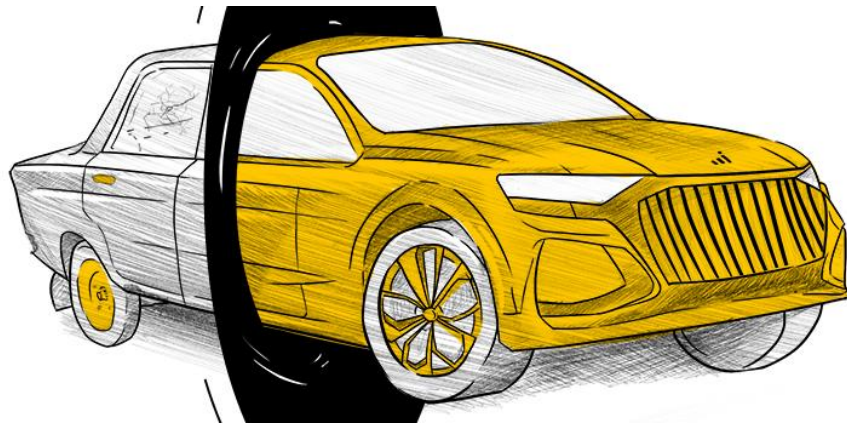
Универсальные средства разработки для всех современных серий Xilinx

- ◆ Vivado – разработка дизайна ПЛИС/СНК
- ◆ Vitis_HLS – разработка IP-ядер на C/C++
- ◆ Vitis – Разработка ПО
- ◆ Vitis_AI – Разработка нейросетей
- ◆ PetaLinux – Конфигуратор Linux

Зачем переходить с Series 7 на US/US+ ?

Мотивация

1. US/US+ мощнее и производительнее при меньшем энергопотреблении
2. Наличие дополнительных компонентов
3. Наличие аппаратных ядер
4. Цена: US/US+ дешевле, серия 7 дорожает



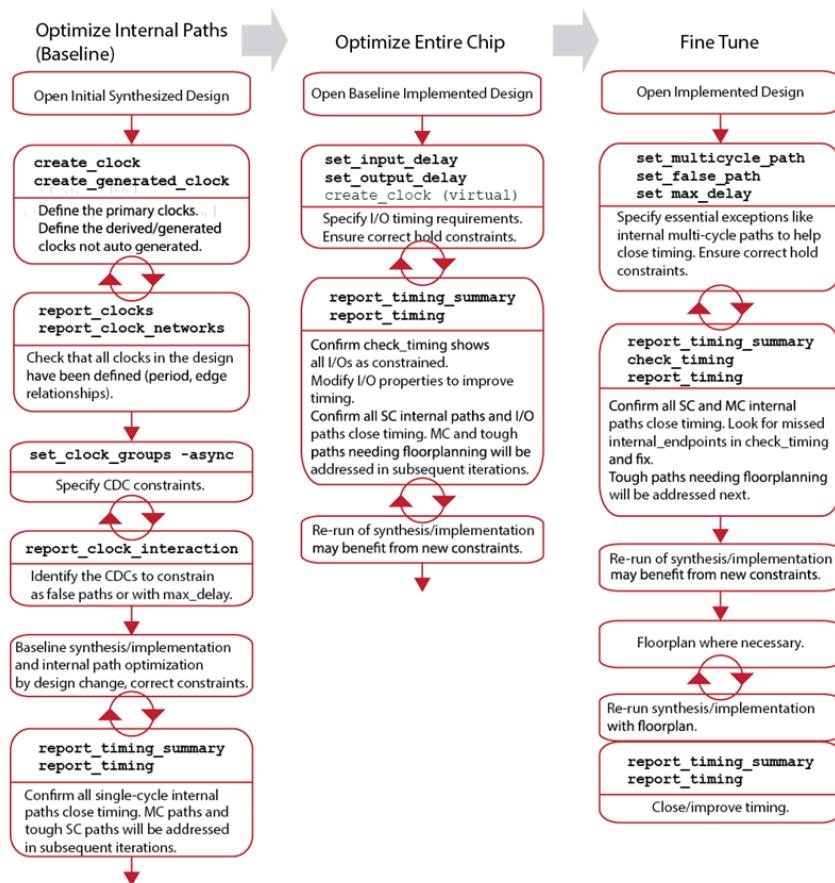
Алгоритм перехода с серии 7 на US/US+

1. Открыть проект для серии 7
2. Удалить констрейнты пинов и расположения на кристалле
3. Проверить свои сорцы, не содержат ли они одновременно асинхронных set и reset сигналов. Если да – перейти на синхронные set и reset сигналы
4. Заменить ПЛИС на требуемую из серий US/US+
5. Выполнить update IP-cores
6. Те IP-cores, что не проапдейтились, сконфигурировать вручную или заменить на совместимые с US/US+
7. Обеспечить совместимость B/B
8. Дополнительно – произвести оптимизацию. (Например – подключить Ultra-RAM)
9. Задать новые констрейнты
10. Имплементировать и отладить

Техника кодирования для US/US+

Плохо!	Хорошо!
<pre>always @(posedge reset, posedge set, posedge clk) if (reset) a_reg <= 1'b0; else if (set) a_reg <= 1'b1; else a_reg <= A;</pre>	<pre>always @(posedge clk) if (reset) a_reg <= 1'b0; else if (set) a_reg <= 1'b1; else a_reg <= A;</pre>
<pre>process (clk, initc) begin if initc='1' then data_reg <= init_signal; elsif (clk'event and clk='1') then data_reg <= data_in; end if; end process;</pre>	<pre>process (clk) begin if (clk'event and clk='1') then if (initc='1') then data_reg <= init_signal; else data_reg <= data_in; end if; end if; end process;</pre>

Алгоритм оптимизации US/US+



Документация

- ◆ [US US+](#) Selection Guides
- ◆ US/US+ обзор: [DS890](#)
- ◆ [Series 7 Product Selection Guide](#)
- ◆ [Cost Optimized Portfolio](#) Selection Guide
- ◆ Series 7 обзор: [DS180](#)
- ◆ руководства по миграции
 - Для ПЛИС: [UG1026](#)
 - Для СМК: [UG1213](#)

Спасибо за внимание !

Ваши вопросы



Наши ответы



**МАКРО
ГРУПП**

Официальный дилер Xilinx

Контакты

Тел.: 8 (800) 333-06-05

email: SALES@MACROGROUP.RU

Продукция Xilinx и техподдержка: fpga@macrogroup.ru

Силовая электроника: power@macrogroup.ru

Олег Болихов – руководитель направления “Цифровая электроника”

Дмитрий Хорьков – руководитель направления Xilinx

Владимир Викулин, Дмитрий Шадрин – техподдержка Xilinx

Ссылки

Страница TrenZ Electronic:

<https://www.trenz-electronic.de/en/>

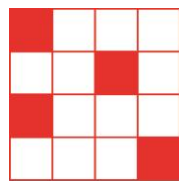
TrenZ Electronic EDDP: <https://wiki.trenz-electronic.de/display/PD/EDDP+Resources>



Совместная программа обучения



**МАКРО
ГРУПП**



PLC2

- ◆ Технологии Xilinx сложны и разнообразны, поэтому квалификация разработчиков имеет решающее значение для успешного выполнения проектов
- ◆ Обучение по программам и стандартам лидера европейского обучения PLC2 – авторизованного партнера тренинг-партнера Xilinx (XTP)
- ◆ На русском языке
- ◆ Сертификат PLC2 + Макро

Xilinx – полезные ссылки

- ◆ Сайт Xilinx: <https://www.xilinx.com/>
- ◆ Сайт Developer: <https://developer.xilinx.com/>
- ◆ Форум: <https://forums.xilinx.com/>
- ◆ Обучение: <https://xilinxprod-catalog.netexam.com/>
- ◆ Репозиторий: <https://github.com/Xilinx>
- ◆ Отладочные платы и платформы:
<https://www.xilinx.com/products/boards-and-kits/see-all-evaluation-boards.html>

Xilinx – материалы с сайта

Справочные и методологические материалы на сайте Xilinx

- ◆ DocNav – все в одном месте на вашем компьютере
- ◆ Selection guides – руководства по выбору
- ◆ User guides – руководства по применению
- ◆ UFSM – методология проектирования
- ◆ AR – ответы на вопросы

Xilinx – как получить техподдержку

Техподдержка

- ◆ Сначала посмотреть на форуме Xilinx
- ◆ Поискать на ресурсах Xilinx:
<https://www.xilinx.com/support.html>
- ◆ Обратиться в Macro: fpga@macrogroup.ru
- ◆ Открыть service request:
https://service.xilinx.com/sservice_prod/start.swe

Xilinx – на чем разрабатывать и отлаживать свои проекты

Отладочные платы и платформы

Подберем отладку под ваши задачи

- ◆ <https://www.macrogroup.ru/catalog/partgroup/378>
- ◆ <https://www.xilinx.com/products/boards-and-kits.html>

