

Подключение камеры к Zynq Ultrascale+ с помощью интерфейса MIPI

Дмитрий Шадрин,
Инженер по применению Xilinx

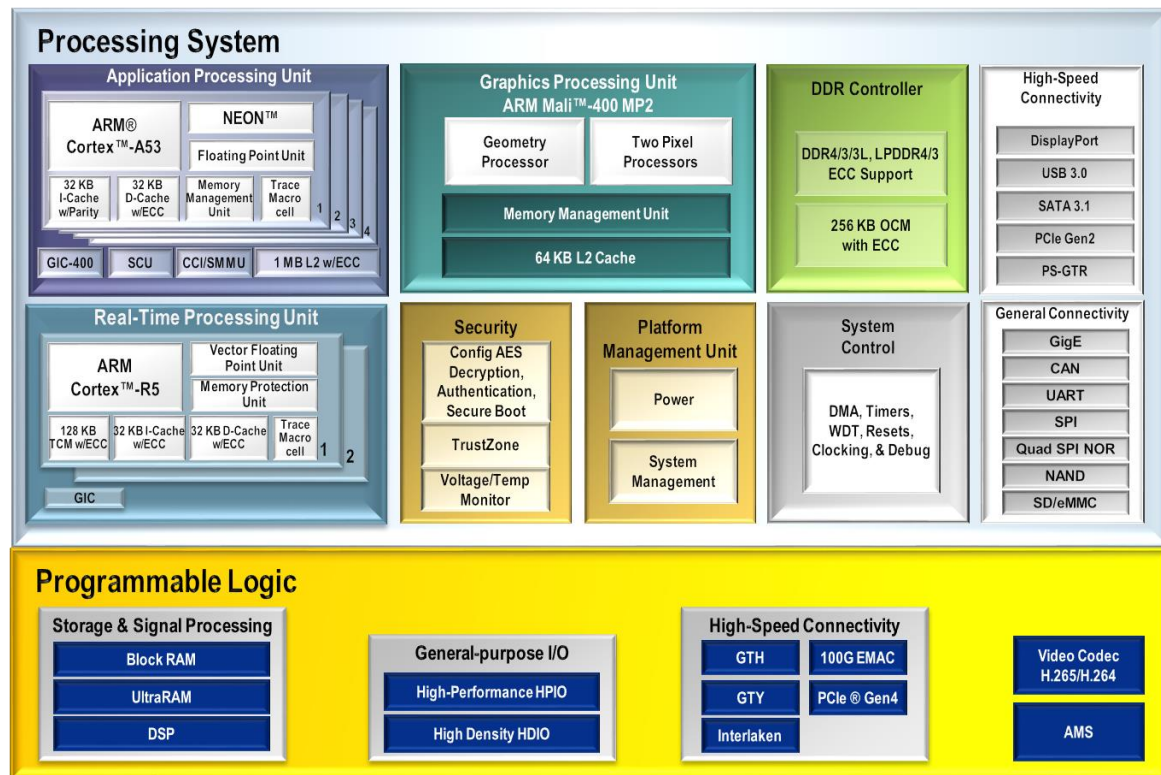
Макро Групп – официальный партнёр Xilinx в России

План вебинара

- ◆ Описание видеовозможностей Zynq Ultrascale+
- ◆ Обзор основных поддерживаемых видео-интерфейсов
- ◆ Описание бесплатного IP-ядра MIPI в Vivado
- ◆ Практический пример – подключение камеры LI-IMX274MIPI-FMC к плате ZCU104:
 - Обзор демо-проекта для Vivado: основные блоки и их параметры
 - Примеры готовых образов с обработкой видеопотока
 - Тестовый запуск на отладочной плате ZCU104
- ◆ Итоги и выводы, ответы на вопросы

Описание видеовозможностей Zynq Ultrascale+

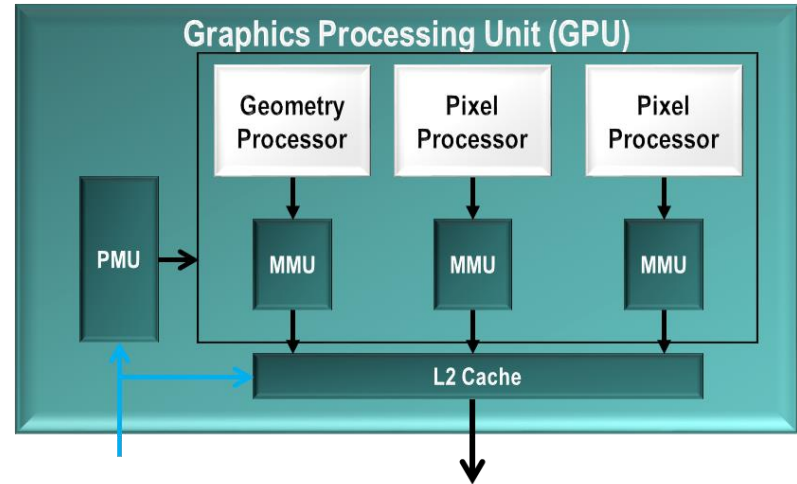
- Графической процессор Mali-400
- Аппаратный кодек H.264/H.265
- Поддержка DisplayPort (PS)
- Поддержка HDMI, MIPI, SLVS и других интерфейсов (PL)



Графический процессор (GPU)

Графический процессор (GPU)

- Модель - ARM Mali-400 MP2
- 2 пиксельных процессора, 1 геометрический процессор
- Поддержка OpenGL ES 1.1 и 2.0
- Поддержка OpenVG 1.1
- Максимальная частота GPU: до 667MHz
- Скорость заполнения (пиксельная): 2 Mpixels/sec
- Скорость отображения треугольников: 0.11 Mtriangles/sec
- 64KB L2-кэша
- Обеспечивает 2D и 3D ускорение с разрешением вплоть до 1080p



Аппаратный кодек H.264/H.265

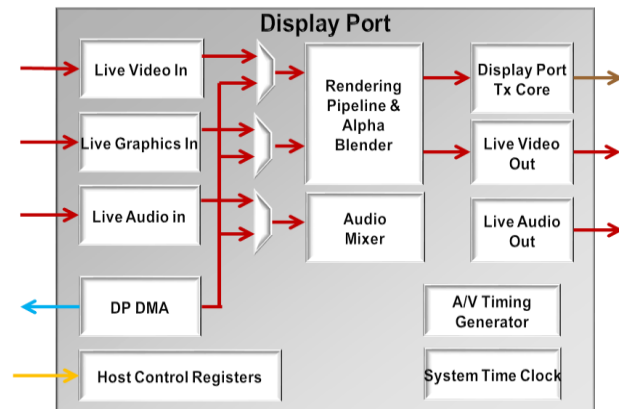
Параметры кодека:

	Энкодер		Декодер	
Параметры	H.265 (HEVC)	H.264 (AVC)	H.265 (HEVC)	H.264 (AVC)
Основное	- Встроенные процессоры - Отдельные механизмы кодирования/декодирования -> Возможно одновременное кодирование и декодирование - До 32 потоков кодирования и 32 потоков декодирования одновременно; 1 поток при макс. разрешение и скорости			
Профили	Main Main Intra Main10 Main10 Intra Main 4:2:2 10 Main 4:2:2 10 Intra	Baseline Main High High10 High 4:2:2	Main Main Intra Main10 Main10 Intra Main 4:2:2 10 Main 4:2:2 10 Intra	Baseline Main High High10 High 4:2:2
Максимальное разрешение	3840x2160p60 (4K UHD), 7680x4320p15 (8K UHD), 4096x2160p30 (DCI 4K)			
Возможная глубина цвета	8 или 10 бит			
Цветовая субдискретизация	4:2:0, 4:2:2, 4:0:0 (для YCbCr)			
Типы кадров	I, P, B			
Настраиваемый битрейт	До 533 Mb/s	До 960 Mb/s	До 533 Mb/s	До 960 Mb/s

Поддержка DisplayPort

DisplayPort (только в режиме передатчика)

- Максимальное разрешение 4K 30 fps
- 8 каналов 24-битного звука с частотой до 192 кГц
- 2 канала видео или графики с цветовой кодировкой и альфа-смешением
- Поддержка функции обнаружения горячего подключения (HPD)
- Цветовая субдискретизация (YCbCr) 4:2:0, 4:2:2, 4:4:4 с глубиной цвета 6, 8, 10, и 12 бит
- Несколько форматов кадрового буфера
- Поддержка графических форматов RGBA8888, RGB555 и пр.
- Приём потокового видео от PL или выделенного контроллера DMA



Поддержка основных видео интерфейсов

Zynq Ultrascale+ MPSoC имеет электрическую совместимость со следующими интерфейсами (согласно [DS925](#)):

Table 17: Differential SelectIO DC Input and Output Levels

I/O Standard	V_{ICM} (V) ¹			V_{ID} (V) ²			V_{ILHS} ³	V_{IHHS} ³	V_{OCM} (V) ⁴			V_{OD} (V) ⁵		
	Min	Typ	Max	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max
SUB_LVDS ⁸	0.500	0.900	1.300	0.070	–	–	–	–	0.700	0.900	1.100	0.100	0.150	0.200
LVPECL	0.300	1.200	1.425	0.100	0.350	0.600	–	–	–	–	–	–	–	–
SLVS_400_18	0.070	0.200	0.330	0.140	–	0.450	–	–	–	–	–	–	–	–
SLVS_400_25	0.070	0.200	0.330	0.140	–	0.450	–	–	–	–	–	–	–	–
MIPI_DPHY_DCI_HS ^{9, 10}	0.070	–	0.330	0.070	–	–	–0.040	0.460	0.150	0.200	0.250	0.140	0.200	0.270

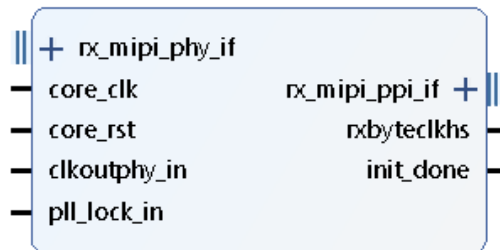
Поддержка основных видео интерфейсов

Интерфейс	SLVS-EC	SLVS	SubLVDS	MIPI	HiSPi
Скорость передачи данных (1 линия)	2,3 Гбит/с	0,6 Гбит/с	0,75 Гбит/с	2,5 Гбит/с	0,7 Гбит/с
Кодирование линии	8b10b	Нет	Нет	Нет	Нет
Конфигурация линий	8 линий	8 линий + 1 тактирование	12 линий + 1 тактирование	4 линий + 1 тактирование	8 линий + 1 тактирование
Тактирование	Встроенное	По отдельной линии	По отдельной линии	По отдельной линии	По отдельной линии
Уровень диф. сигнала	200 мВ	200 мВ	150 мВ	200 мВ	200 мВ
Общий уровень сигнала	200 мВ	200 мВ	900 мВ	-	200 мВ

Описание IP-ядер MIPI в Vivado

MIPI D-PHY:

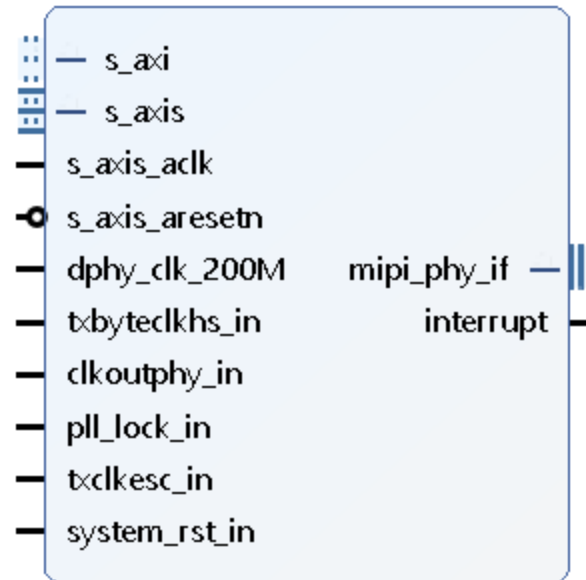
- Соответствует стандарту MIPI Alliance Standard для спецификации D-PHY, версия 1.2.
- Синхронная передача с битрейтом 80-2500 Мбит/с в зависимости от семейства устройств и класса скорости.
- Одна линия синхронизации и до четырех линий данных для конфигурации передачи.
- Одна линия синхронизации и до восьми линий данных для конфигурации приёма.
- Асинхронная передача в режиме пониженного энергопотребления со скоростью 10 Мбит/с.
- Интерфейс PHY-протокола (PPI) для подключения приложений CSI-2 и DSI.
- Дополнительный интерфейс AXI4-Lite для доступа к регистрам.



Описание IP-ядер MIPI в Vivado

MIPI DSI Transmitter Subsystem:

- Поддержка от 1 до 4 линии данных
- Скорость линии от 80 до 2500 Мбит/с
- Поддержка генерации EoTp
- Генерация ECC для заголовка пакета
- Генерация CRC для байтов данных (необязательно)
- Дополнительная поддержка командного режима DCS для отправки длинных/коротких командных пакетов.
- Преобразование пикселей в байты на основе формата данных
- Интерфейс AXI4-Lite для доступа к регистрам ядра
- Совместимость с AXI4-Stream Video IP для входного видеопотока.



Описание IP-ядер MIPI в Vivado

MIPI CSI-2 Receiver Subsystem:

- Поддержка от 1 до 4 линий
- Скорость линии от 80 до 2500 Мбит/с
- Поддержка нескольких типов данных (RAW, RGB, YUV)
- Фильтрация на основе идентификатора виртуального канала
- Поддержка 1, 2 или 4 пикселей на такт на выходе
- Интерфейс AXI4-Lite для доступа к регистрам для настройки различных опций подсистемы
- Генерация прерывания для отображения информации о состоянии подсистемы
- Внутренний D-PHY позволяет напрямую подключаться к источникам изображения



Описание IP-ядра MIPI в Vivado

Свойства IP-ядра – раздел Configuration

Configuration Shared Logic Pin Assignment Application Example Design

Subsystem Options

Pixel Format RAW10 Serial Data Lanes 4

☒ Include Video Format Bridge (VFB)

☐ Support CSI Spec V2_0

DPHY Options

Line Rate (Mbps) 1440 [80 - 2500]

☐ D-PHY Register Interface

CSI-2 Options

☒ CSI2 Controller Register Interface

☐ Embedded non-image Interface

☒ Filter User Defined data types

Line Buffer Depth 4096

VFB Options

Allowed VC All Pixels Per Clock 2

TUSER Width 1

Configuration Shared Logic Pin Assignment Application Example Design

☒ Include Video Format Bridge (VFB)

☐ Support CSI Spec V2_0

DPHY Options

Line Rate (Mbps) 1440 [80 - 2500]

☐ D-PHY Register Interface

CSI-2 Options

☒ CSI2 Controller Register Interface

☐ Embedded non-image Interface

☒ Filter User Defined data types

Line Buffer Depth 4096

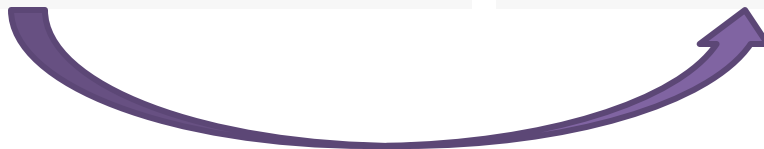
VFB Options

Allowed VC All Pixels Per Clock 2

TUSER Width 1

Resource improvement options

☒ Enable CRC ☒ Enable Active Lanes



Описание IP-ядра MIPI в Vivado

Свойства IP-ядра – раздел Share Logic

The screenshot shows the Vivado IP configuration window for the MIPI core. The 'Shared Logic' tab is selected, displaying options to include shared logic in the core or the example design. Below this, an overview section explains the purpose of shared logic and includes a diagram illustrating the difference between a core with shared logic and a core without it.

Configuration | **Shared Logic** | **Pin Assignment** | **Application Example Design**

Shared Logic

Select whether the MMCM and PLL are included in the core itself or in the example design

☒ Include Shared Logic in core

☐ Include Shared Logic in example design

Shared Logic Overview

Include Shared Logic in core

- For users who want a complete single solution.
- For users who want one core with Shared Logic to drive multiple cores without Shared Logic.

Diagram:

```
graph TD
    subgraph CoreWithSharedLogic [Core with Shared Logic]
        direction LR
        SL[Shared Logic] --> OCL[Other Core Logic]
    end
    CoreWithSharedLogic --> CoreWithoutSharedLogic[Core without Shared Logic]
```

The diagram illustrates the concept of shared logic. A box labeled 'Core with Shared Logic' contains two sub-boxes: 'Shared Logic' and 'Other Core Logic', connected by a horizontal arrow pointing from 'Shared Logic' to 'Other Core Logic'. A vertical arrow points from the 'Shared Logic' box down to a dashed box labeled 'Core without Shared Logic', indicating that the shared logic is used to drive multiple cores without shared logic.

Описание IP-ядра MIPI в Vivado

Свойства IP-ядра – раздел Pin Assignment

Configuration Shared Logic **Pin Assignment** Application Example Design

HP IO Bank Selection

Name	Pin Loc	Pin Name
Clock Lane	F17	IO_L13P_T2L_N0_GC_QBC_67
Data Lane0	L15	IO_L22P_T3U_N6_DBC_AD0P_67
Data Lane1	H18	IO_L16P_T2U_N6_QBC_AD3P_67
Data Lane2	E18	IO_L9P_T1L_N4_AD12P_67
Data Lane3	J16	IO_L20P_T3L_N2_AD1P_67

[Highly recommended to select sequential IO. Fore more details refer Appendix C of MIPI D-PHY PG202](#)

Описание IP-ядра MIPI в Vivado

Свойства IP-ядра – раздел Application Example Design

Configuration **Shared Logic** **Pin Assignment** **Application Example Design**

Target Board

ZCU102

FMC Model

LI-IMX274MIPI-FMC V1.0 Single Sensor

Design Topology

MIPI Video Pipe Camera to Display

Example Design Overview

Demonstrates MIPI CSI-2 Rx(Camera) & MIPI DSI Tx Subsystem(Display) based reference design

- Image data from IMX274 Sensor processed by MIPI CSI-2 Rx Subsystem.
- Further processed by Video IP's like Demosaic, Gamma LUT etc.
- Images are then displayed on HDMI Monitor or MIPI DSI Display panel

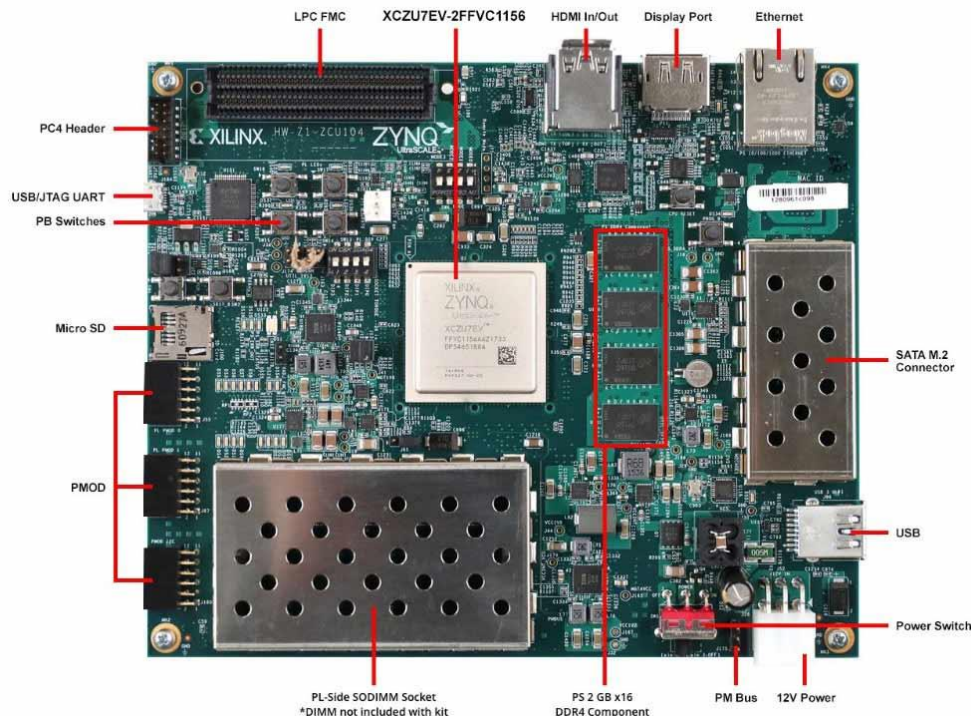
- Configuration:

MIPI CSI-2 Rx: Lanes=4, Line-rate=1440Mbps, DataType=RAW10, Pixel Mode=Dual

MIPI DSI Tx: Lanes=4, Line-rate=1000Mbps, DataType=RGB888, Pixel Mode=Dual

Note : To generate the Application Example Design, right click on the subsystem in the 'IPI canvas' or 'Design Sources' and select 'Open IP Example Design'

Подключение камеры LI-IMX274MIPI-FMC к плате ZCU104



ZCU104



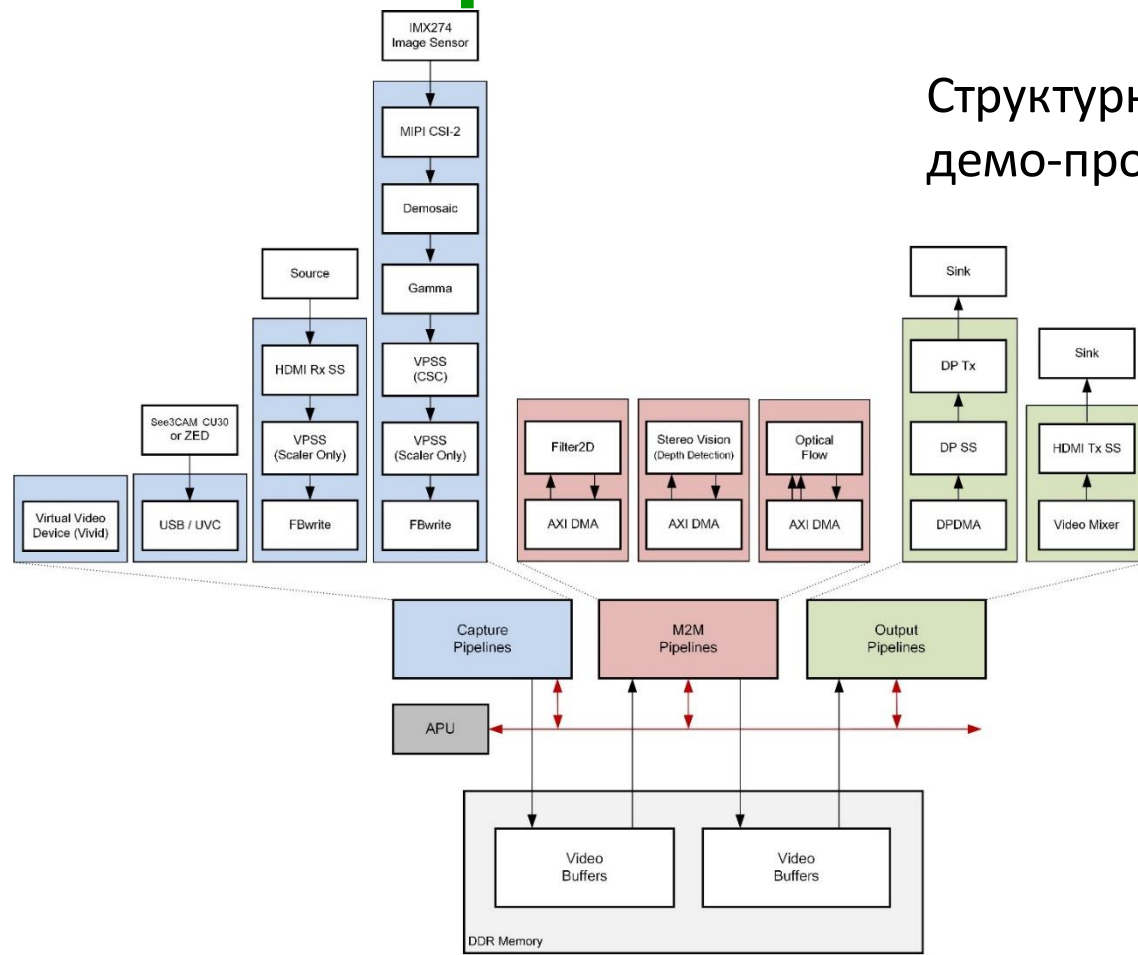
IMX274MIPI

reVISION™

Тестовый образ

Практический пример

Структурная схема
демо-проекта



Файлы проекта

- hw
- petalinux_bsp
- samples
- sd_card
- sw
- workspaces
- IMPORTANT_NOTICE_CONCERNING_THIR...
- README
- zcu104_rv_ss.xpfm

Спасибо за внимание!

Компания Макро Групп:

- ♦ официальный партнер Xilinx
- ♦ комплексная поставка электронных компонентов
- ♦ техническая поддержка по всем вопросам применения продукции и ПО Xilinx
- ♦ контрактное производство электроники

Обращайтесь:

- ♦ Dmitriy.Shadrin@macrogroup.ru
- ♦ Dmitry.Khorkov@macrogroup.ru
- ♦ fpga@macrogroup.ru



Полезные ссылки

Документация:

[Zynq UltraScale+ MPSoC Data Sheet: Overview \(DS891\)](#)

[Zynq UltraScale+ MPSoC Data Sheet: DC and AC Switching Characteristics \(DS925\)](#)

[MIPI D-PHY v 4.2 - LogiCORE IP Product Guide \(PG202\)](#)

[MIPI CSI-2 Receiver Subsystem v 5.0 - Product Guide \(PG232\)](#)

[MIPI CSI-2 Transmitter Subsystem v 2.1 - Product Guide \(PG260\)](#)

[MIPI DSI Transmitter Subsystem v 2.1 - Product Guide \(PG238\)](#)

[H.264/H.265 Video Codec Unit v 1.2 - LogiCORE IP Product Guide \(PG252\)](#)

Инструкции:

[Embedded Vision Reference Platforms User Guide 2019.2 \(UG1265\)](#)

[reVISION Getting Started Guide 2017.4 rev2](#)

[D-PHY Solutions for Spartan-6 and 7 Series FPGAs \(XAPP894\)](#)

Архивы с проектами и готовыми образами (доступны после подтверждения учётной записи Xilinx):

Архив для [ZCU102](#)

Архив для [ZCU104](#)

