

Создание IP кастомного контроллера в среде Vivado

Владимир Викулин, инженер по применению Xilinx

11,12 августа 2020 г.

План вебинара

- ◆ Терминология
- ◆ Алгоритм работы, структура каталогов, варианты организации
- ◆ Создание и настройка основного проекта
- ◆ Создание проекта IP контроллера с использованием стандартного шаблона
- ◆ Структура каталогов и файлов проекта IP кастомного контроллера
- ◆ Кастомизация автоматически сгенерированных файлов
- ◆ Добавление в проект собственных исходных файлов
- ◆ Автономная отладка контроллера с использованием эмулятора шины
- ◆ Упаковка и создание кастомного IP-ядра
 - Обеспечение совместимости для различных серий ПЛИС
 - Задание параметров для контроллера
- ◆ Пользовательский репозиторий и размещение в нем IP-ядра кастомного контроллера
- ◆ Подключение IP-ядра к проекту
- ◆ Действия при модернизации контроллера
 - Модернизация контроллера
 - Модернизация основного проекта
- ◆ Демонстрация работы IP-ядра кастомного контроллера PWM

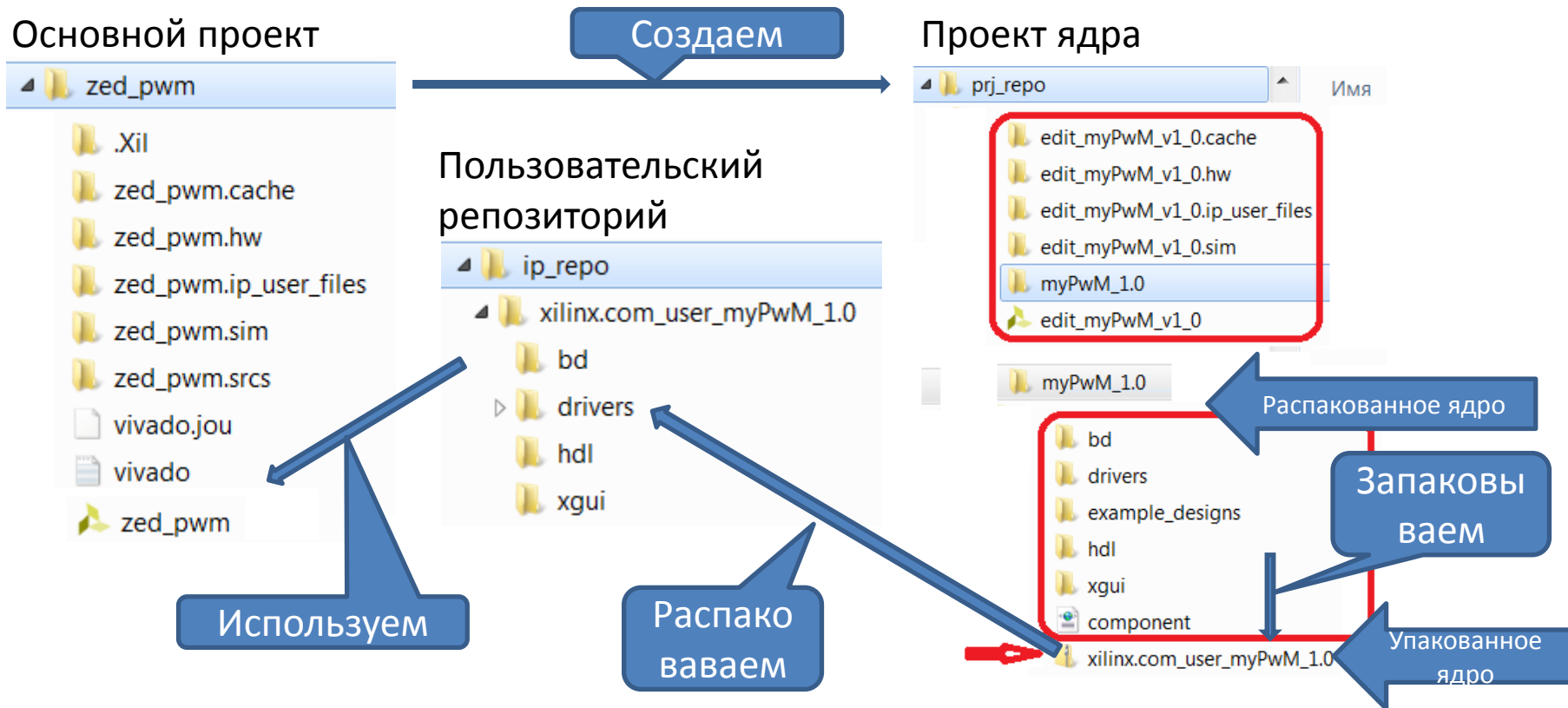
Терминология

- Определение IP-ядра (IP Definition): Описание характеристик ядра в файле IP-ХАСТ.
- Кастомизация IP-ядра (IP Customization): Изменение характеристик ядра. Исходные берутся из IP-ХАСТ файла, измененные помещаются в XCI file.
- Расположение IP: Каталог, содержащий одно или большее число кастомизированных IP-ядер текущего проекта.
- IP-репозиторий (IP-Repository): Набор IP-определений, добавленных в единый каталог.
- IP-каталог (IP Catalog): Каталог конкретного IP-ядра
- Выходные продукты (Output Products): Сгенерированные файлы для IP-кастомизации. Могут содержать HDL, констрейнты и файлы симуляции. При генерации выходных продуктов, Vivado помещает данные для кастомизации в файл XCI и на его основе производит файлы для синтеза и симуляции.
- Глобальный синтез (Global Synthesis): Синтез IP-совместно с файлами проекта, где используется это IP .
- Независимый от контекста маршрут проектирования (Out-Of-Context (OOC) Design Flow): выходные продукты ядра синтезируются независимо от файлов основного проекта. При окончательном синтезе все выходные продукты (напр. нетлисты) объединяются.

Алгоритм работы

- Создаем основной проект
- Задаем каталог пользовательского репозитория (опционально)
- Создаем платформу
- Из основного проекта вызываем мастер создания кастомного контроллера
- Создаем ядро
- Симулируем
- Упаковываем
- Добавляем в репозиторий
- Подключаем к проекту

Структура каталогов



Различные варианты организации

Чтобы не запутаться, понимаем что делаем и выбираем для себя наиболее подходящий вариант

Варианты

- Проект контроллера
 - Расположен отдельно от основного/Расположен внутри основного проекта
 - Совмещен с распакованным ядром/Отделен от распакованного ядра
 - Остается после упаковки/Удаляется после упаковки

Различные варианты организации - 2

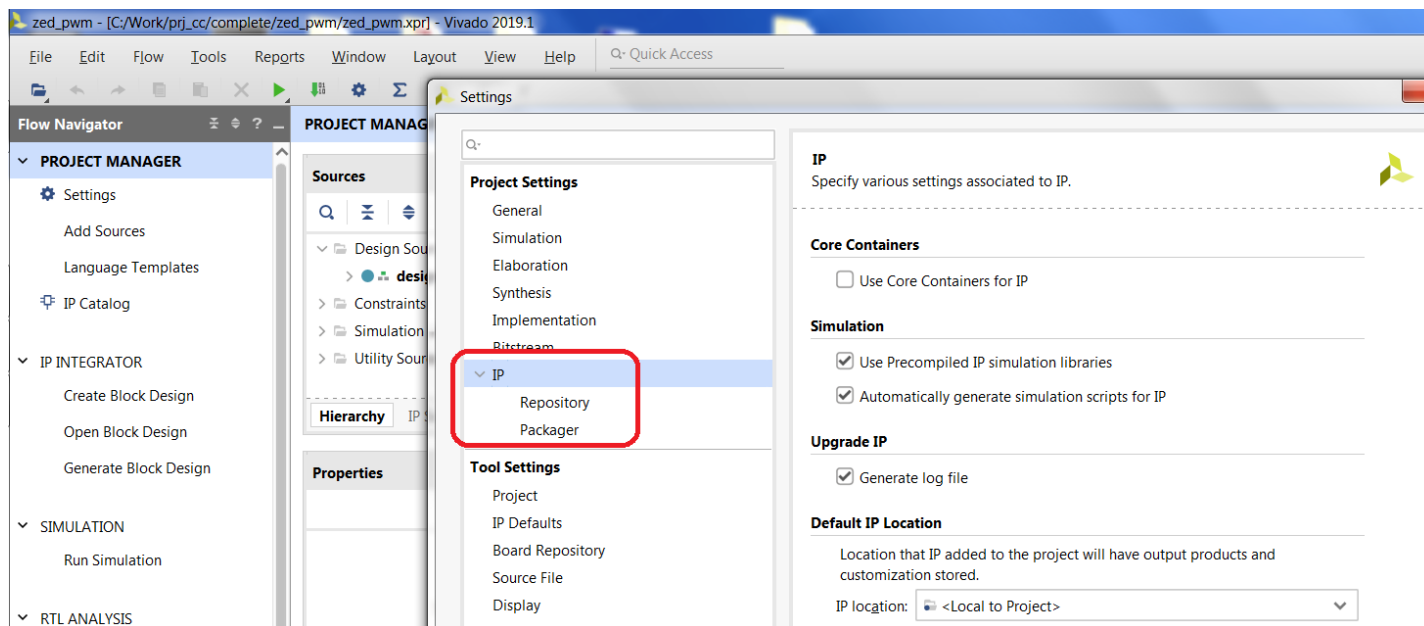
Чтобы не запутаться, понимаем что делаем и выбираем для себя наиболее подходящий вариант

Варианты

- Распакованное ядро
 - Совмещено с проектом/Расположено отдельно
 - Расположено прямо в репозитории/Переносится в репозиторий отдельно
- Запакованное ядро
 - Хранится где угодно
 - Подключается к репозиторию основного проекта

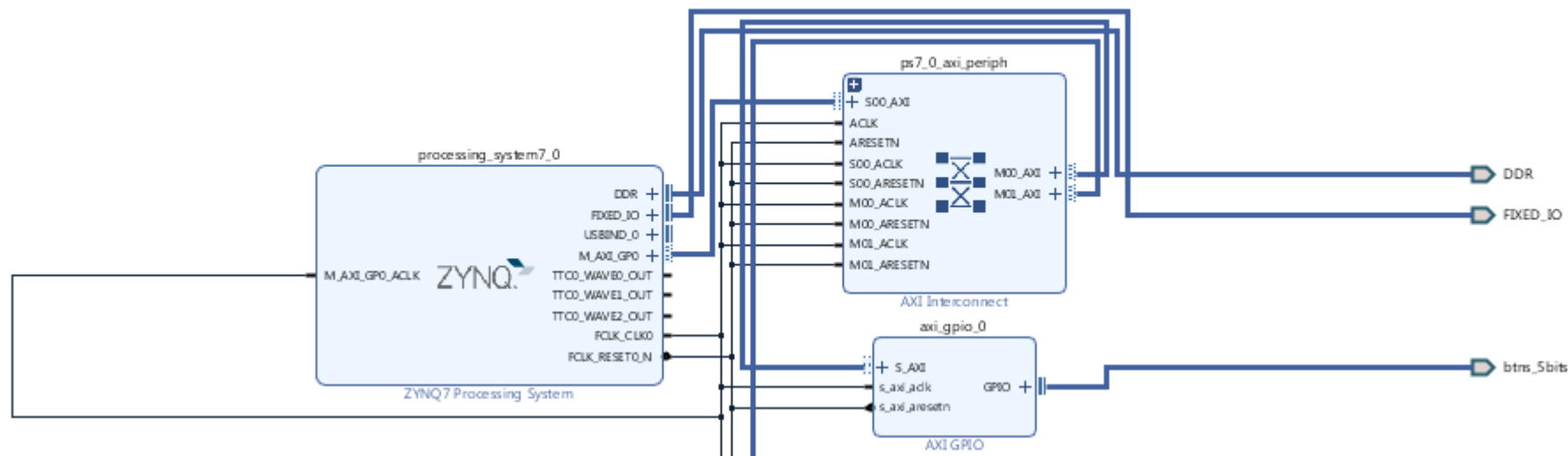
Создание и настройка основного проекта

Настройки основного проекта



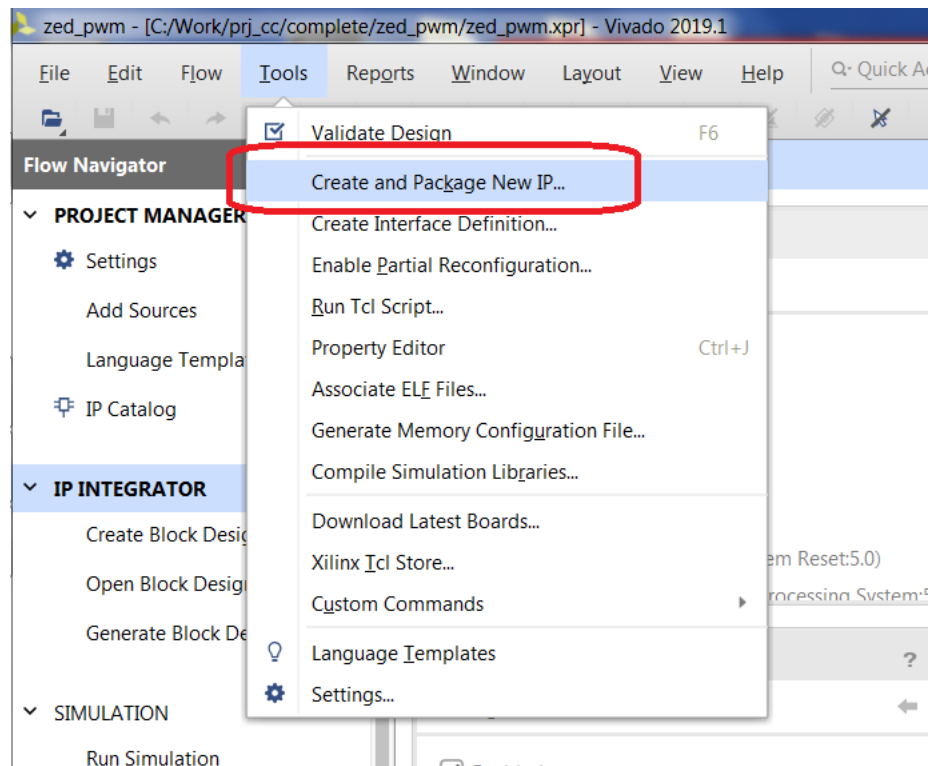
Создание и настройка основного проекта - 2

Создаем платформу, в которой будем использовать наш контроллер

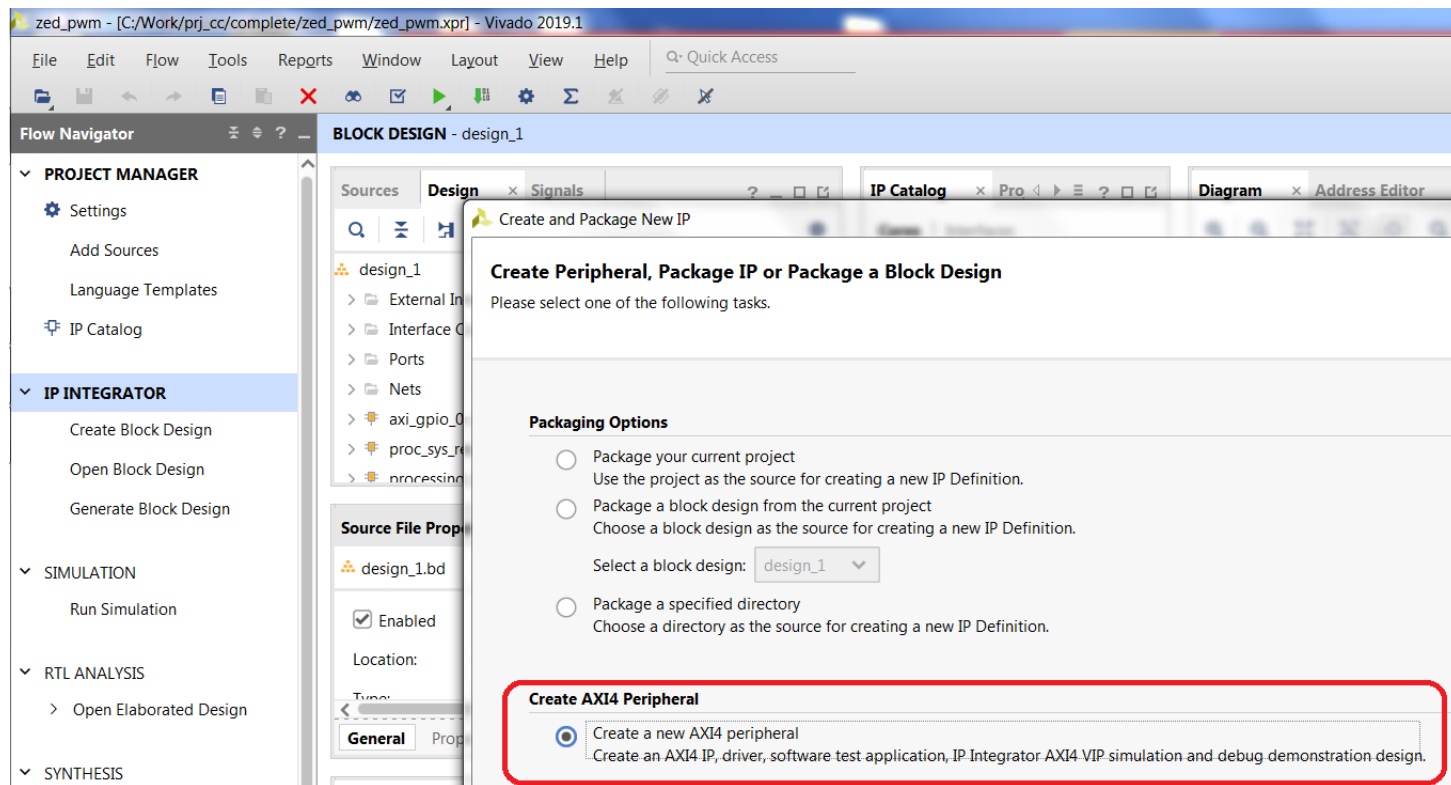


СОЗДАНИЕ ПРОЕКТА КОНТРОЛЛЕРА С ИСПОЛЬЗОВАНИЕМ СТАНДАРТНОГО ШАБЛОНА

- Сначала создаем основной проект
- Вызываем мастер создания нового IP



СОЗДАНИЕ ПРОЕКТА КОНТРОЛЛЕРА С ИСПОЛЬЗОВАНИЕМ СТАНДАРТНОГО ШАБЛОНА-2



СОЗДАНИЕ ПРОЕКТА КОНТРОЛЛЕРА С ИСПОЛЬЗОВАНИЕМ СТАНДАРТНОГО ШАБЛОНА-3

Задайте требуемые
вам значения

Create and Package New IP

Add Interfaces

Add AXI4 interfaces supported by your peripheral

☐ Enable Interrupt Support

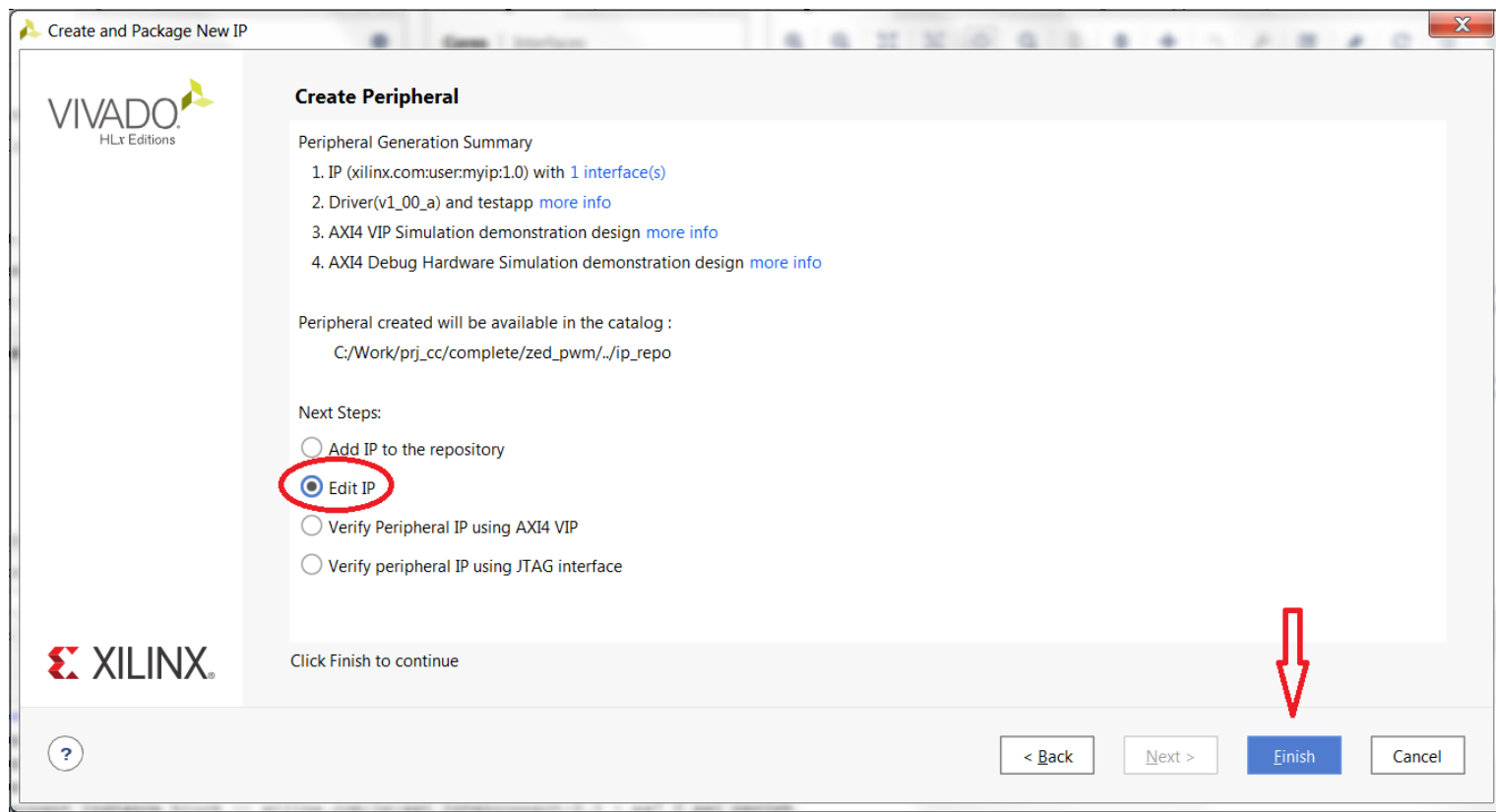
S00_AXI
myip_v1.0

Interfaces
S00_AXI

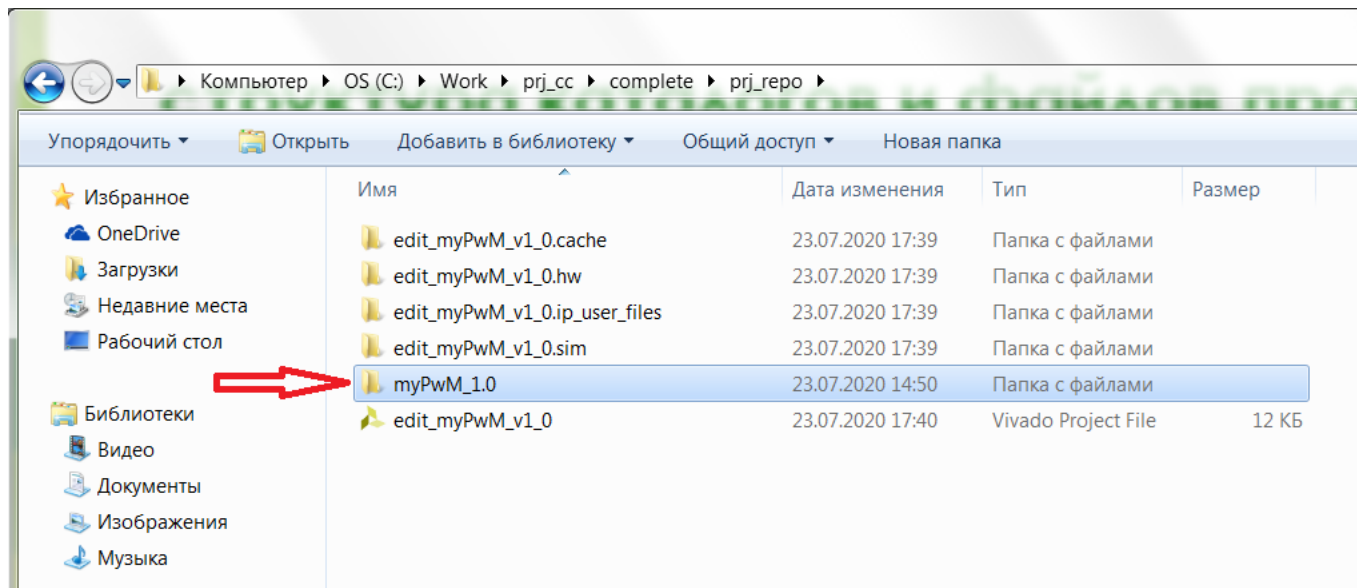
Name	S00_AXI
Interface Type	Lite
Interface Mode	Slave
Data Width (Bits)	32
Memory Size (Bytes)	64
Number of Registers	4 [4..512]

< Back Next > Finish Cancel

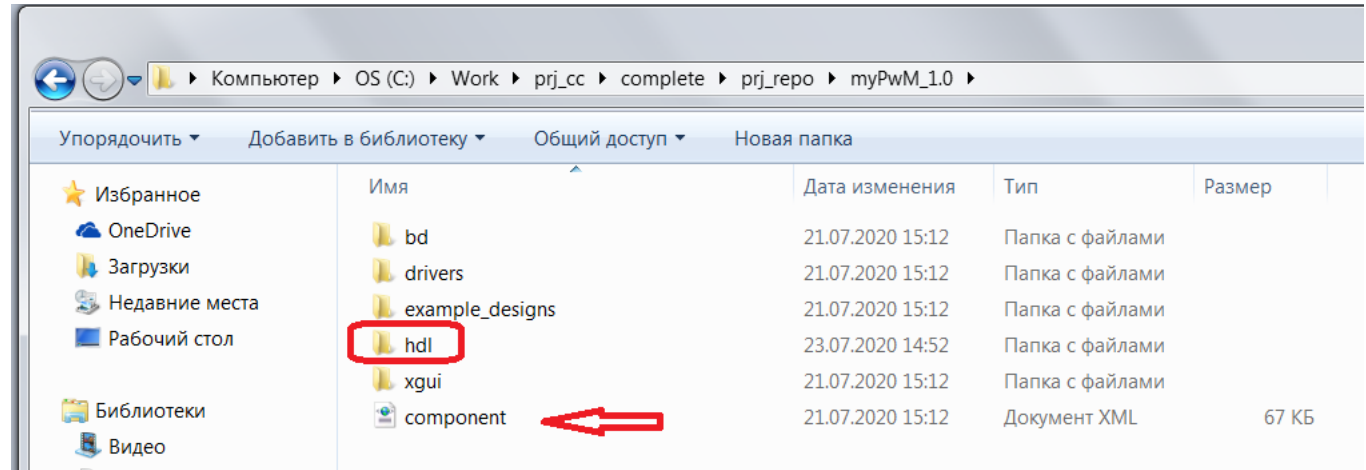
СОЗДАНИЕ ПРОЕКТА КОНТРОЛЛЕРА С ИСПОЛЬЗОВАНИЕМ СТАНДАРТНОГО ШАБЛОНА-4



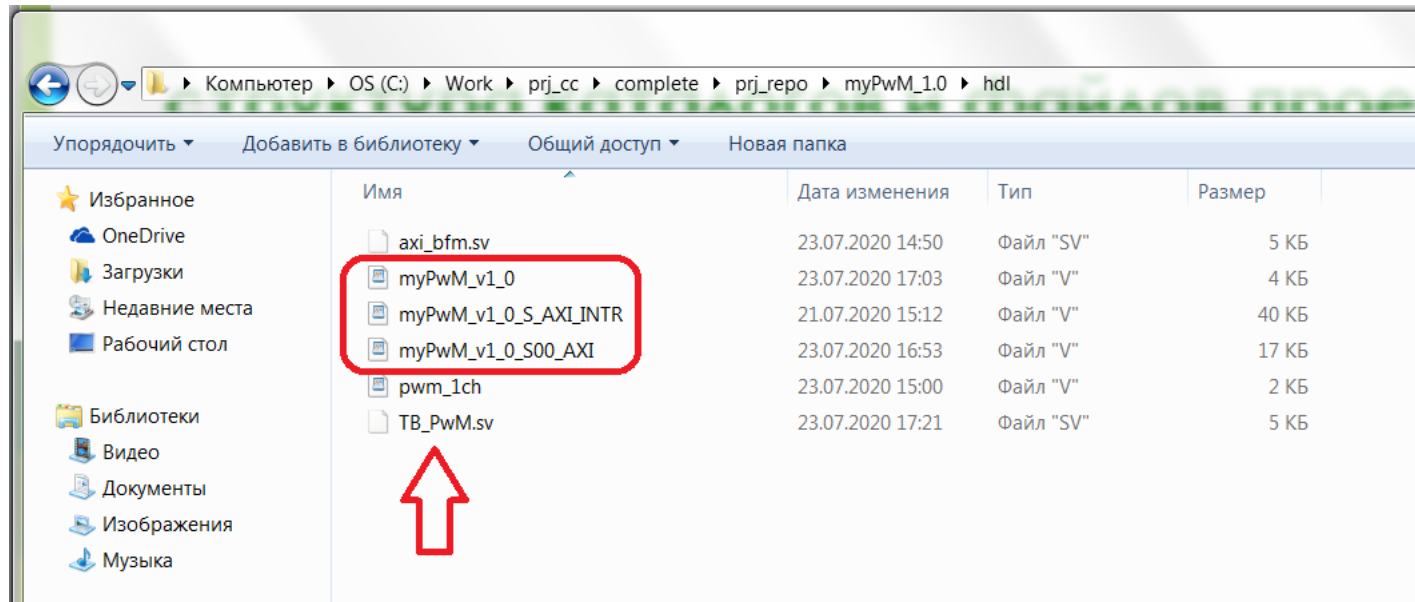
структура каталогов и файлов проекта контроллера



структура каталогов и файлов проекта контроллера - 2



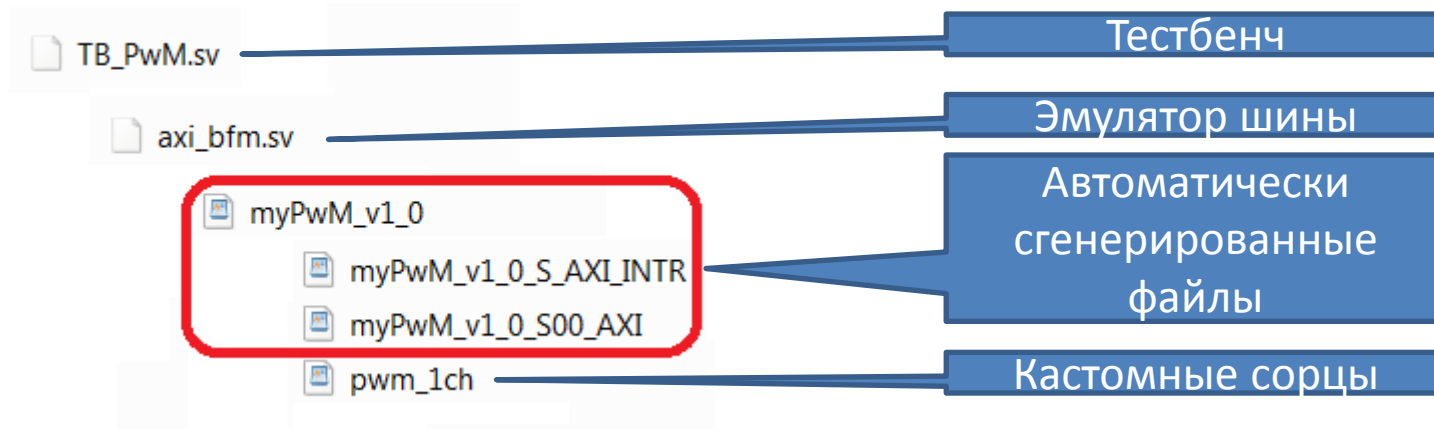
структура каталогов и файлов проекта контроллера - 3



Все исходные файлы размещаем в каталоге hdl

структура каталогов и файлов проекта контроллера - 4

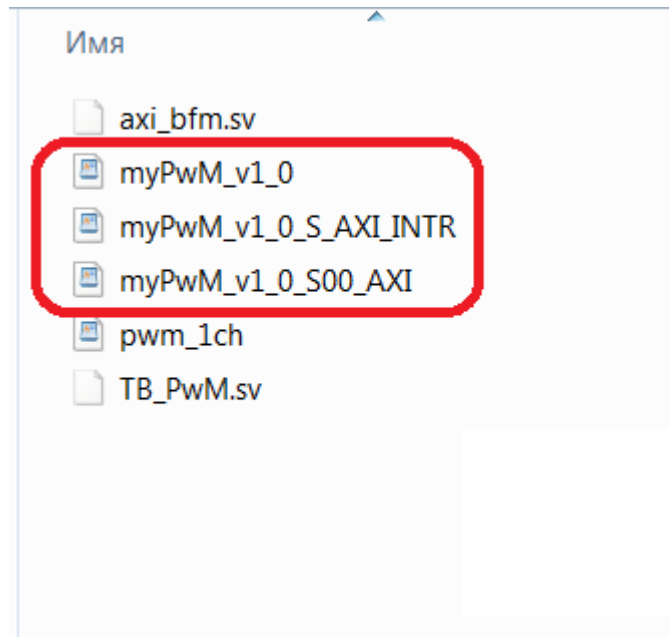
Структура файлов проекта (каталог hdl)



Кастомизация автоматически сгенерированных файлов

- Добавляем порты в файл *_v1_0.v
- Добавляем порты в файл *_v1_0_S00_AXI.v
- Выводим регистры из *_v1_0_S00_AXI.v
- Подключаем регистры из *_v1_0_S00_AXI.v ко входам
- Инстантируем собственные модули

См. пример



Добавление в проект собственных исходных файлов

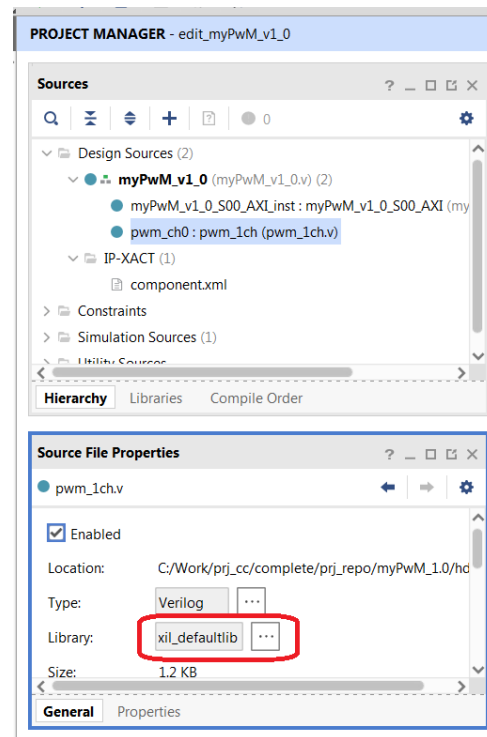
- Добавляем собственные модули в файл *_v1_0.v
- При необходимости добавляем параметры

См. пример

автономная отладка IP с использованием эмулятора шины

- Создаем собственный тестбенч TB_*.sv
- Инстантируем в нем эмулятор шины интерфейса AXI-LITE axi_bfm.sv, позволяющий выполнять транзакции записи и чтения регистров.
- Инстантируем модуль нашего кастромного контроллера
- Разрабатываем задачи (Tasks), выполняющие тестирование
- Тестируем в симуляторе Xilinx

Внимание: Для всех исходных файлов задать свойство “Library”, иначе возникнет ошибка компиляции

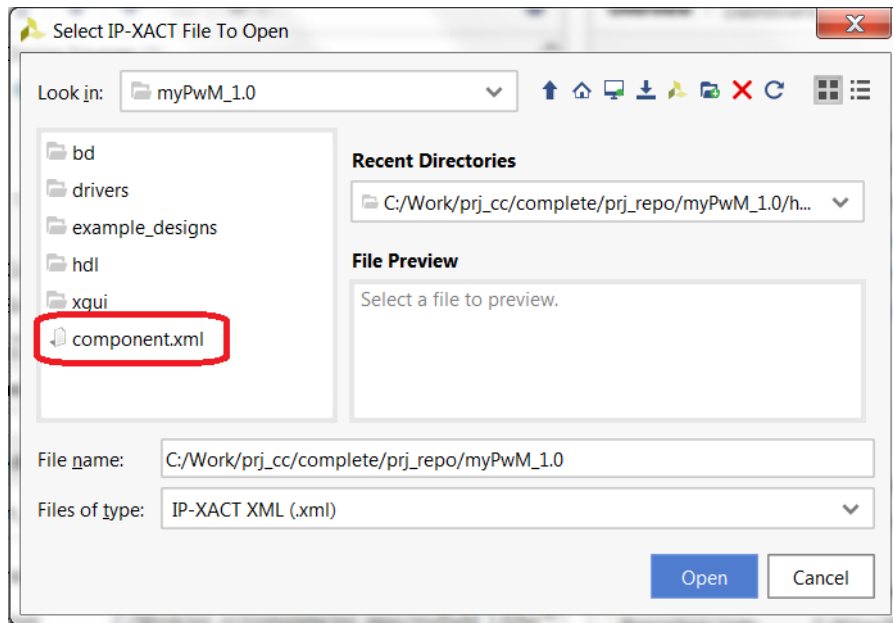
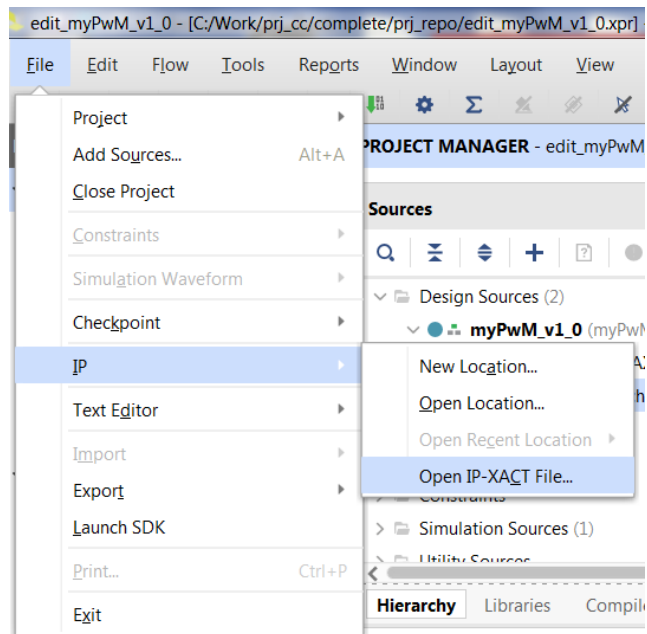


упаковка контроллера и создание кастомного IP-ядра

- Подключить IP-XAST файл
- Внедрить изменения
- Упаковать ядро

упаковка контроллера и создание кастомного IP-ядра - 2

Подключение IP-XAST файла



упаковка контроллера и создание кастомного IP-ядра - 3

Внедрение изменений

Требуется пройти по каждому пункту “Packaging Steps”.
Упаковка возможна, когда все “галки” зеленые

The screenshot shows a software interface for packaging an IP core. The window title is "Package IP - myPwM". On the left, a sidebar titled "Packaging Steps" lists several steps, each with a green checkmark indicating completion: "Identification", "Compatibility", "File Groups", "Customization Parameters", "Ports and Interfaces", "Addressing and Memory", and "Customization GUI". The "Review and Package" step is at the bottom and is not checked. The main area is titled "Identification" and contains a form with the following fields:

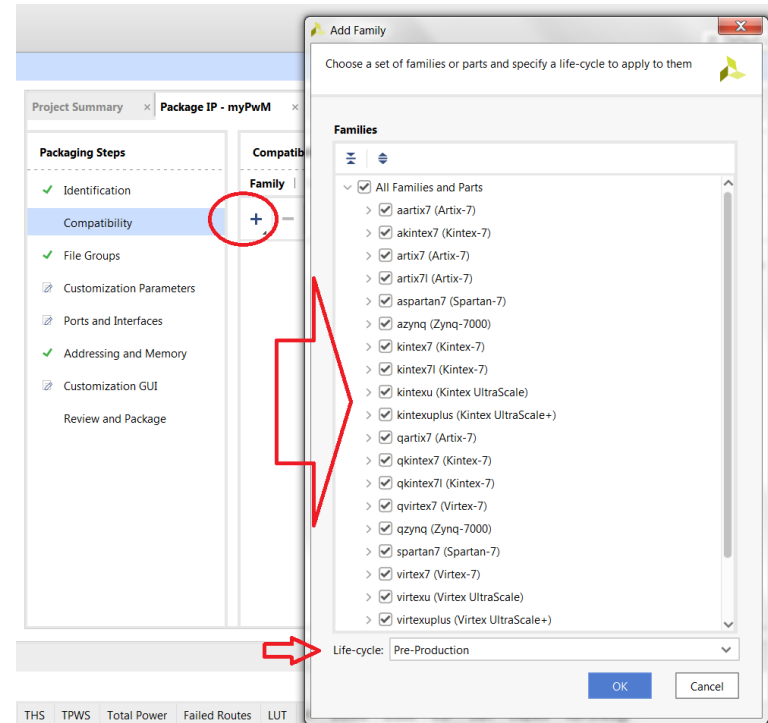
- Vendor: xilinx.com
- Library: user
- Name: myPwM
- Version: 1.0
- Display name: myPwM_v1.0
- Description: My new AXI IP
- Vendor display name: (empty)
- Company url: (empty)
- Root directory: c:/Work/prj_cc/complete/prj_repo/myPwM_1.0
- Xml file name: c:/Work/prj_cc/complete/prj_repo/myPwM_1.0/component.xml

Below the form is a section titled "Categories" with a list box containing "AXI_Peripheral". Above the list box are icons for adding (+), removing (-), moving up (↑), and moving down (↓).

упаковка контроллера и создание кастомного IP-ядра - 4

Внедрение изменений - Compatibility

- Установите флаги совместимости, чтобы использовать Ваше ядро для других серий ПЛИС
- Установите поле Life-cycle в требуемое значение
- Выберите требуемые серии либо пункт “All Families and Parts”



упаковка контроллера и создание кастомного IP-ядра - 5

Внедрение изменений – File Groups

The screenshot shows the 'Project Summary' window with the 'Package IP - myPwM' tab selected. The left sidebar lists 'Packaging Steps' with 'File Groups' highlighted. The main area displays the 'File Groups' configuration table.

Name	Library Name	Type	Is Include	Used In Constant	File Group Name	Model Name
Standard			<input type="checkbox"/>	<input type="checkbox"/>		
Advanced			<input type="checkbox"/>	<input type="checkbox"/>		
Verilog Synthesis (3)			<input type="checkbox"/>	<input type="checkbox"/>		myPwM_v1_0
Verilog Simulation (3)			<input type="checkbox"/>	<input type="checkbox"/>		myPwM_v1_0
Software Driver (6)			<input type="checkbox"/>	<input type="checkbox"/>		
UI Layout (1)			<input type="checkbox"/>	<input type="checkbox"/>		
Block Diagram (1)			<input type="checkbox"/>	<input type="checkbox"/>		

упаковка контроллера и создание кастомного IP-ядра - 6

Внедрение изменений – Customization Parameters

The screenshot shows the 'Customization Parameters' window. The left sidebar lists the following steps: Identification, Compatibility, File Groups, Customization Parameters (selected), Ports and Interfaces, Addressing and Memory, Customization GUI, and Review and Package. The main area is titled 'Customization Parameters' and contains a table of parameters. A red box highlights the 'Merge changes from Customization Parameters Wizard' button.

Name	Description
Customization Parameters	
C_S00_AXI_DATA_WIDTH	Width of S_AXI data bus
C_S00_AXI_ADDR_WIDTH	Width of S_AXI address bus
C_S00_AXI_BASEADDR	
C_S00_AXI_HIGHADDR	
C_S_AXI_INTR_DATA_WIDTH	Width of S_AXI data bus
C_S_AXI_INTR_ADDR_WIDTH	Width of S_AXI address bus
C_NUM_OF_INTR	Number of Interrupts
C_INTR_SENSITIVITY	Each bit corresponds to Sensitivity of interrupt : 0 - EDGE, 1 - LEVEL
C_INTR_ACTIVE_STATE	Each bit corresponds to Sub-type of INTR: [0 - FALLING_EDGE, 1 - RISING_EDGE
C_IRQ_SENSITIVITY	Sensitivity of IRQ: 0 - EDGE, 1 - LEVEL
C_IRQ_ACTIVE_STATE	Sub-type of IRQ: [0 - FALLING_EDGE, 1 - RISING_EDGE : if C_IRQ_SENSITIVITY is
C_S_AXI_INTR_BASEADDR	
C_S_AXI_INTR_HIGHADDR	

упаковка контроллера и создание кастомного IP-ядра - 6

Внедрение изменений – Customization Parameters - 2

Результат выполнения
команды “Merge”

- Необходимо перевести параметр W в группу “Customization Parameters”

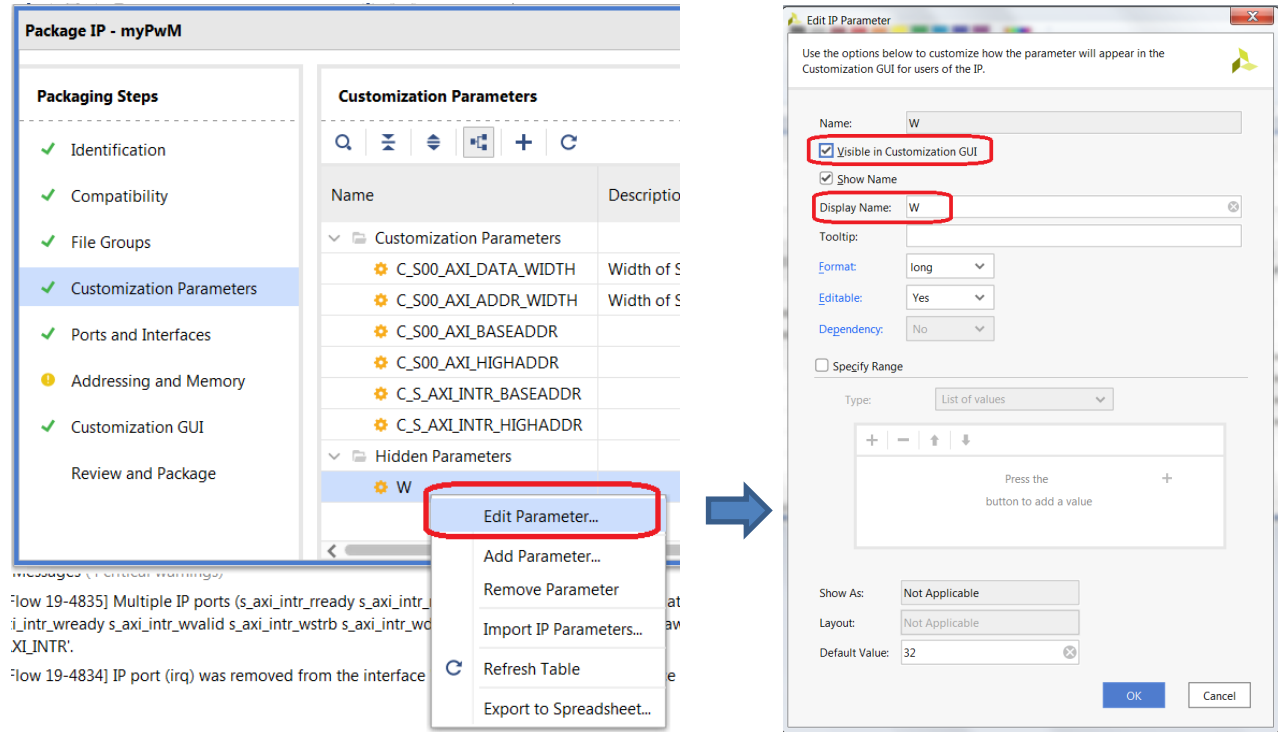
Name	Description	Display Name	Value
Customization Parameters			
C_S00_AXI_DATA_WIDTH	Width of S_AXI data bus	C S00 AXI DATA WIDTH	32
C_S00_AXI_ADDR_WIDTH	Width of S_AXI address bus	C S00 AXI ADDR WIDTH	5
C_S00_AXI_BASEADDR		C S00 AXI BASEADDR	0xFFFFFFFF
C_S00_AXI_HIGHADDR		C S00 AXI HIGHADDR	0x00000000
C_S_AXI_INTR_BASEADDR		C S AXI INTR BASEADDR	0xFFFFFFFF
C_S_AXI_INTR_HIGHADDR		C S AXI INTR HIGHADDR	0x00000000
Hidden Parameters			
W		W	32

упаковка контроллера и создание кастомного IP-ядра - 6

Внедрение изменений – Customization Parameters - 2

Результат выполнения команды “Merge”

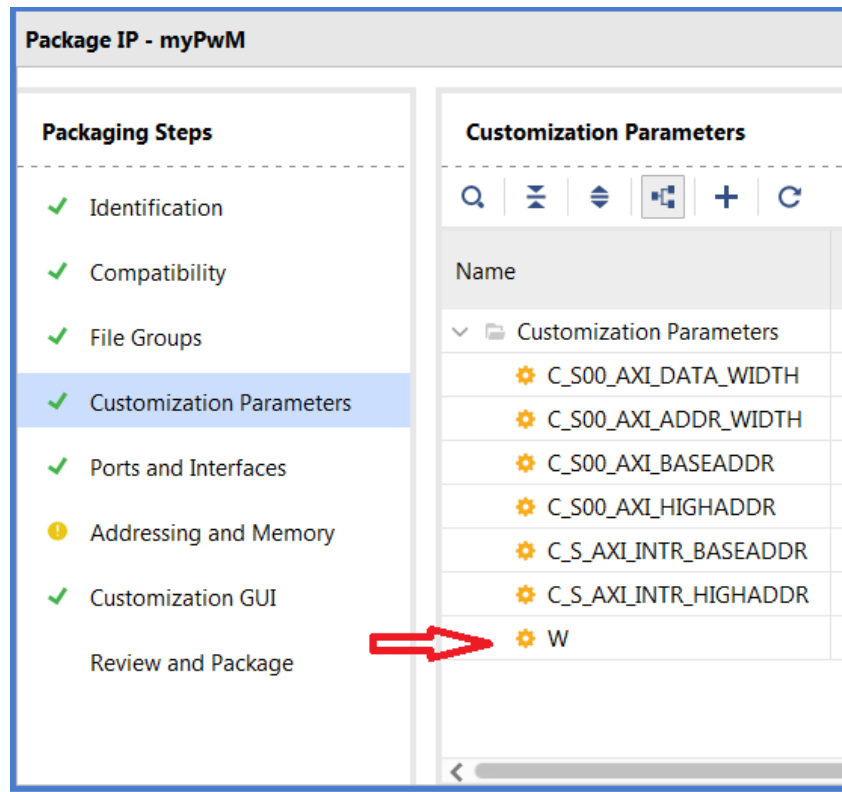
- Необходимо перевести параметр W в группу “Customization Parameters”



упаковка контроллера и создание кастомного IP-ядра - 6

Внедрение изменений – Customization Parameters - 3

Результат выполнения



упаковка контроллера и создание кастомного IP-ядра - 7

Внедрение изменений – Ports and Interfaces

Связано с предыдущим пунктом. Как правило, мержить требуется один из них.

Package IP - myPwM

Packaging Steps

- ✓ Identification
- ✓ Compatibility
- ✓ File Groups
- ✓ Customization Parameters
- ✓ Ports and Interfaces**
- ✓ Addressing and Memory
- ✓ Customization GUI
- Review and Package

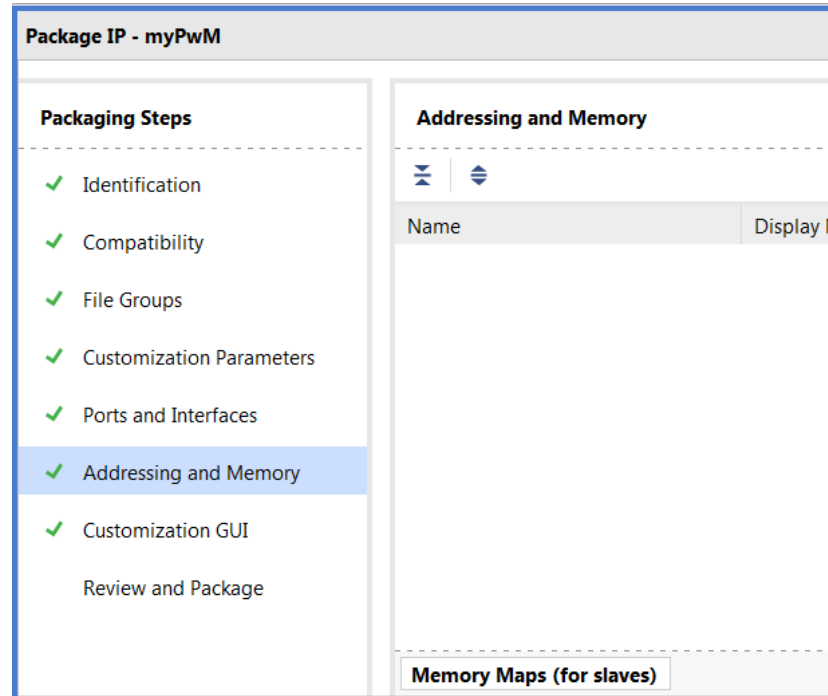
Ports and Interfaces

Name	Interface Mode	Enablement Dependency	Is Declaration	A	H
> S00_AXI	slave		<input type="checkbox"/>		
> Clock and Reset Signals			<input type="checkbox"/>		
pwm_out			<input type="checkbox"/>		

упаковка контроллера и создание кастомного IP-ядра - 8

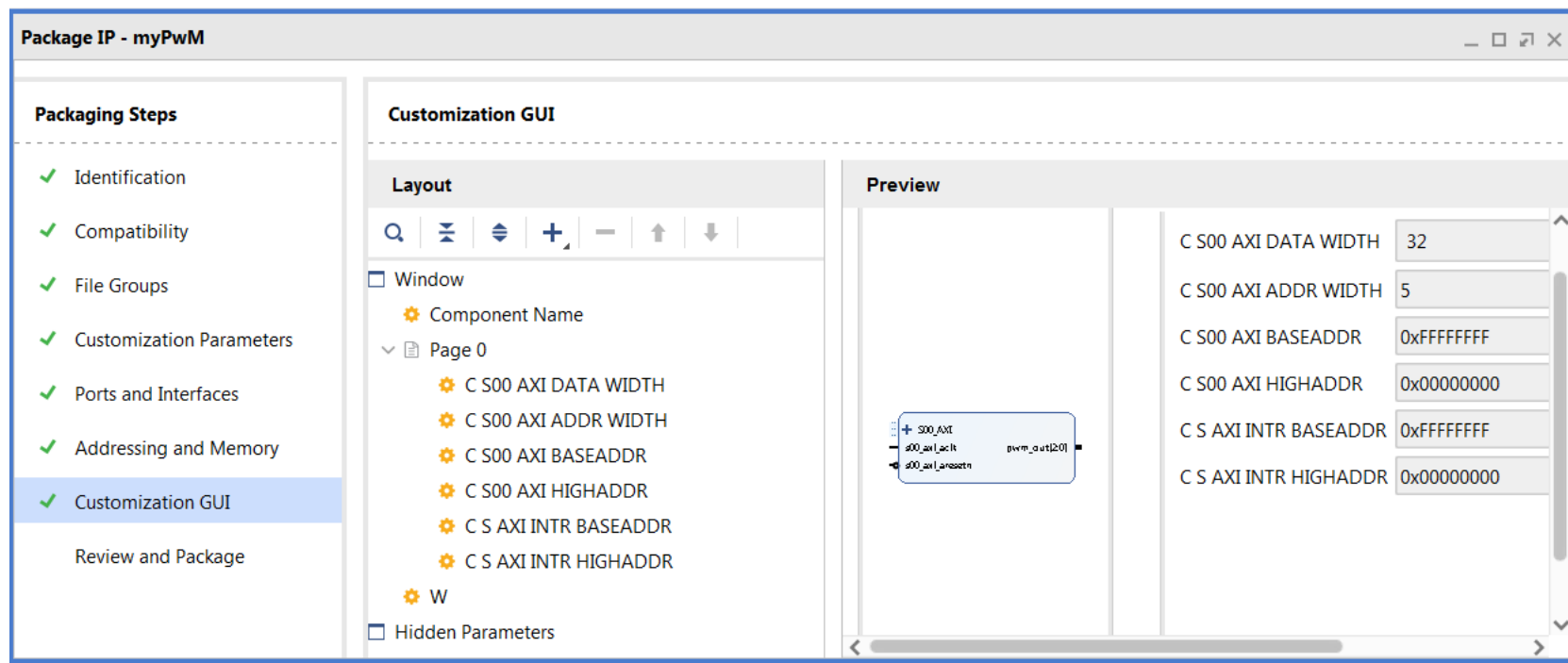
Внедрение изменений – Addressing and Memory

Как правило, не требует корректировки.



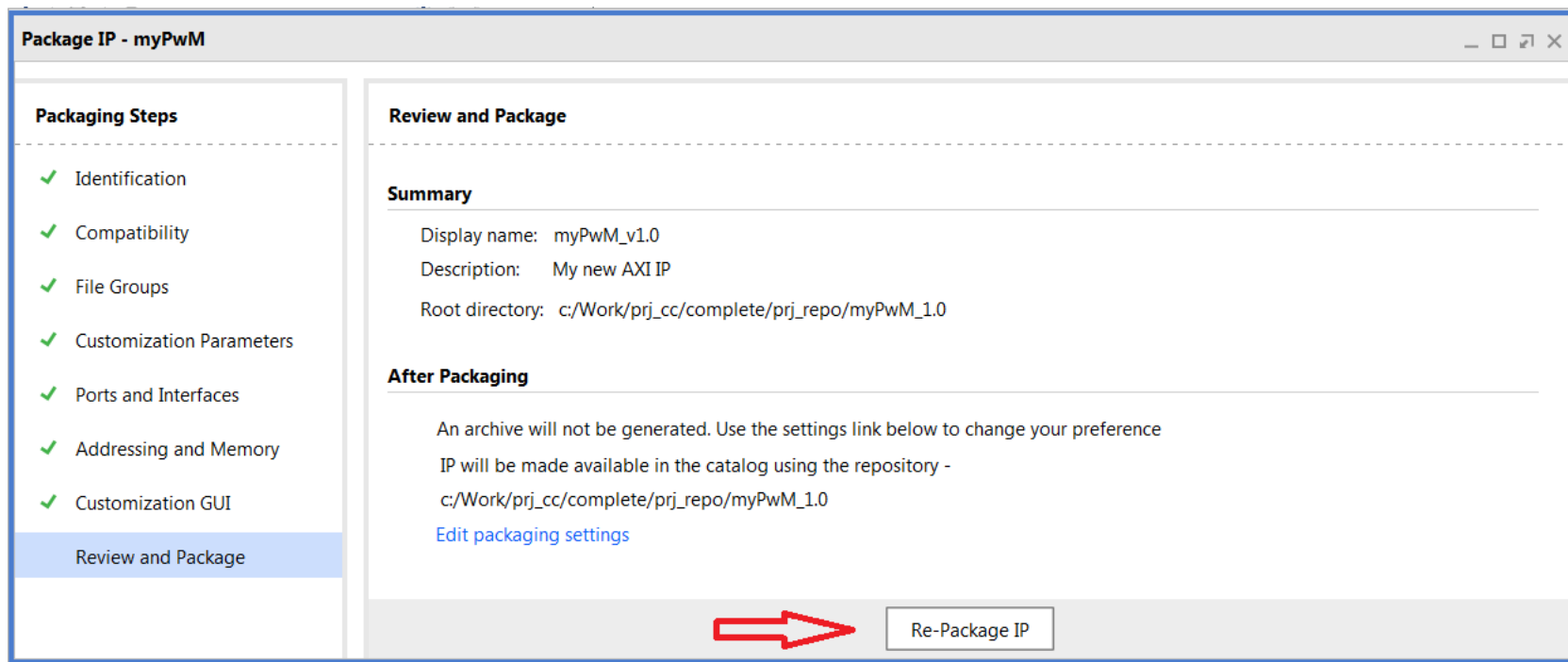
упаковка контроллера и создание кастомного IP-ядра - 9

Внедрение изменений – Customization GUI



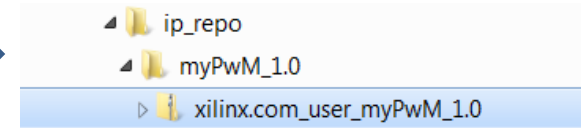
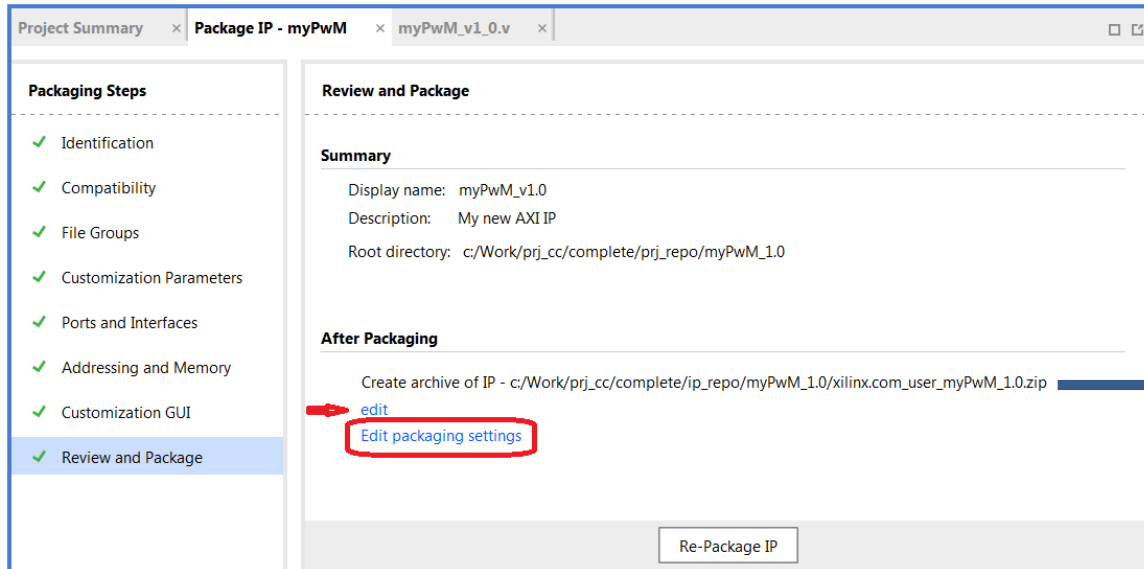
упаковка контроллера и создание кастомного IP-ядра - 10

Внедрение изменений – Review and Package



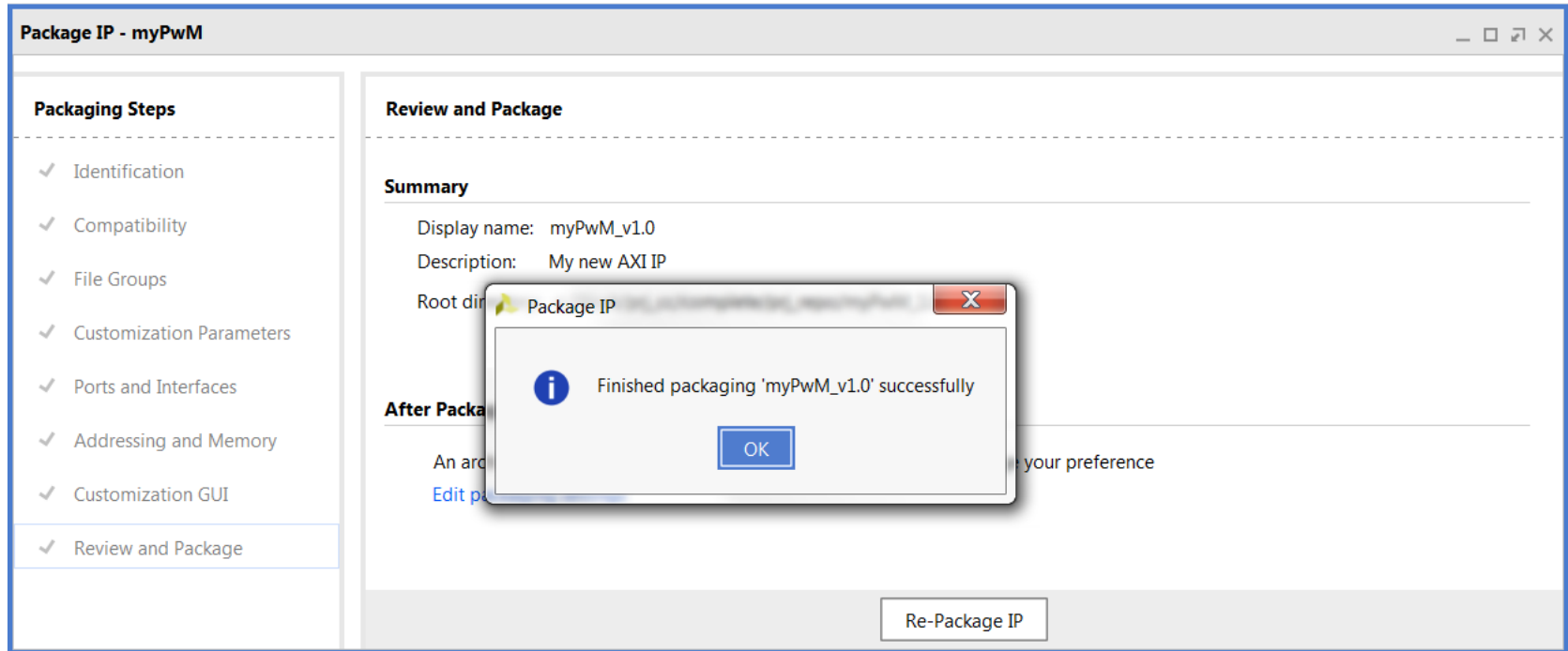
упаковка контроллера и создание кастомного IP-ядра - 10

Внедрение изменений – Review and Package -2



упаковка контроллера и создание кастомного IP-ядра - 10

Внедрение изменений – Review and Package - 3



Подключение IP-ядра к репозиторию

Возвращаемся в
основной проект

Project Summary x IP Catalog x

Cores | Interfaces

Search: Q

Name	Status	License	VLNV
⌵ User Repository (c:/Work/prj_cc/complete/ip_repo)			
⌵ Vivado Repository			
> Alliance Partners			
> Alveo Card Management			
> Audio Connectivity & Processing			
> Automotive & Industrial			

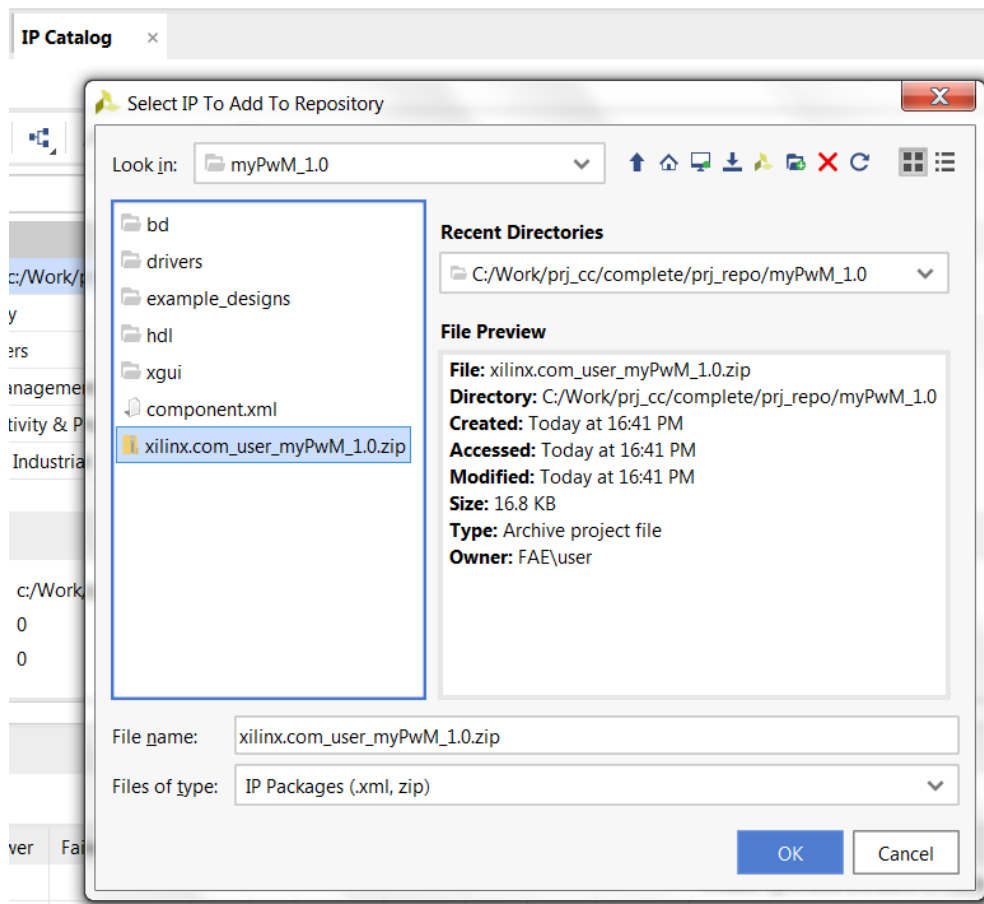
Details

Path: c:/Work/prj_cc/complete/ip_repo

Number of IPs: 0

- Properties... Ctrl+E
- IP Settings...
- Add Repository...
- Refresh All Repositories
- Add IP to Repository...
- ✗ Remove from project Delete
- Refresh Repository
- Export to Spreadsheet...

Подключение IP-ядра к репозиторию - 2



Подключение IP-ядра к репозиторию - 3










The screenshot shows the 'IP Catalog' window in Vivado. At the top, there are tabs for 'Project Summary' and 'IP Catalog'. Below the tabs, there are two sections: 'Cores' and 'Interfaces'. The 'Cores' section is active, and it contains a search bar with the text 'Q-'. Below the search bar, there is a table with the following columns: 'Name', 'AXI4', 'Status', 'License', and 'VLNV'. The table contains the following rows:

Name	AXI4	Status	License	VLNV
User Repository (c:/Work/prj_cc/complete/ip_repo)				
AXI Peripheral				
myPwM_v1.0	AXI4	Pre-Pro	Included	xilinx.com:user:myPwM:1.0
Vivado Repository				





Инстанциация IP-ядра

Project Summary × IP Catalog ×

Cores | Interfaces

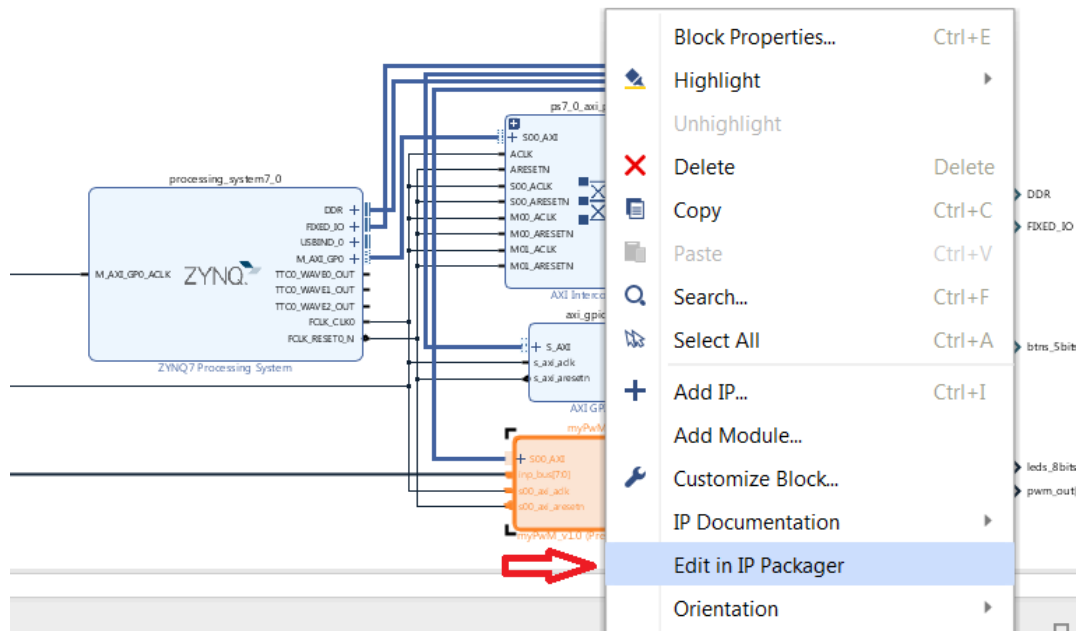


Search:

Name	AXI4	Status	License	VLNV
▼  User Repository (c:/Work/prj_cc/complete/ip_repo)				
▼  AXI Peripheral				
 myPwM_v1.0	AXI4	Pre-Proc	Included	xilinx.com:user:myPwM:1.0
>  Vivado Repository				

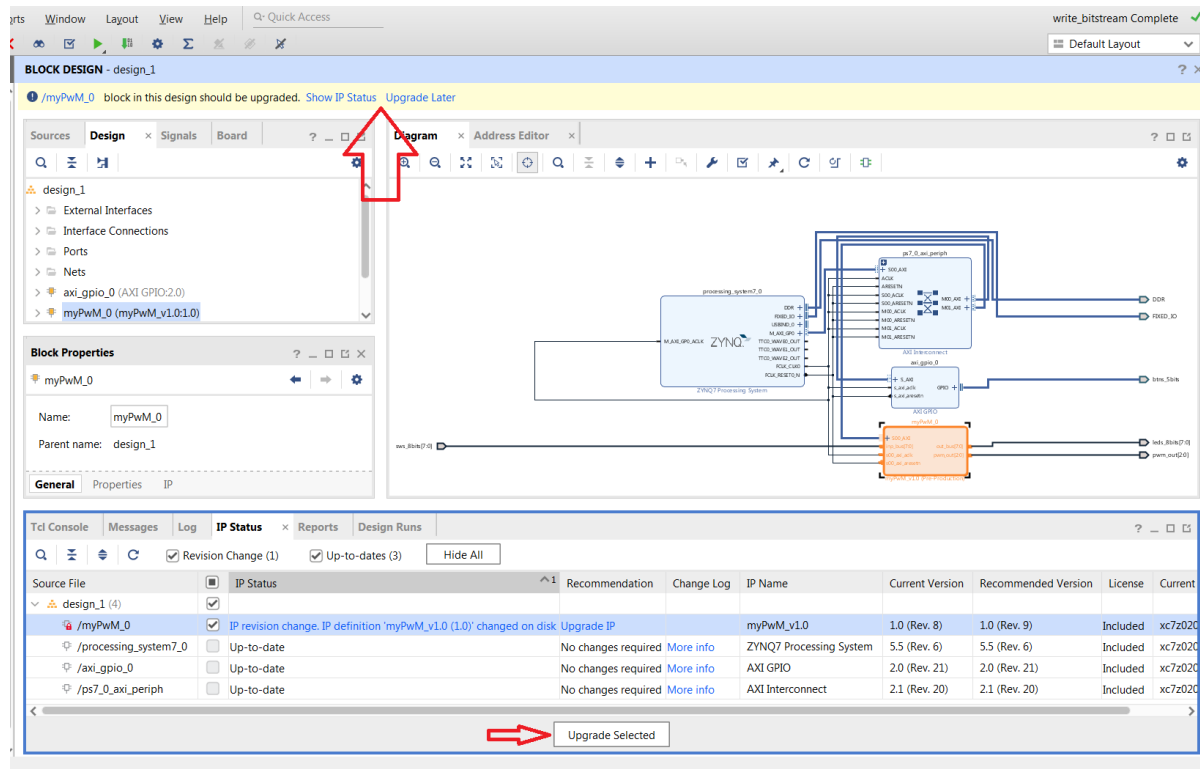
Модернизация IP-ядра

- В основном проекте выбираем пункт “Edit in IP Packager”
- Переходим в проект ядра и редактируем его и снова запаковываем
- После редактирования ядра возвращаемся в основной проект и апгрейдим его



Модернизация IP-ядра - 2

Апгрейд
основного
проекта



The screenshot displays the Xilinx Vivado IDE interface. At the top, a yellow banner indicates that the `myPwM_0` block in the design should be upgraded, with links to "Show IP Status" and "Upgrade Later". A red arrow points to the "Show IP Status" link. Below this, the "Diagram" tab shows a block diagram of the design, including a ZYNQ7 Processing System and various peripheral blocks like AXI GPIO and AXI Interconnect. The "Block Properties" panel on the left shows the details for the `myPwM_0` block. At the bottom, the "IP Status" tab is active, showing a table of IP components and their upgrade status. A red arrow points to the "Upgrade Selected" button at the bottom right of the IP Status table.

Source File	IP Status	Recommendation	Change Log	IP Name	Current Version	Recommended Version	License	Current
design_1 (4)								
/myPwM_0	<input checked="" type="checkbox"/>	IP revision change. IP definition 'myPwM_v1.0 (1.0)' changed on disk	Upgrade IP	myPwM_v1.0	1.0 (Rev. 8)	1.0 (Rev. 9)	Included	xc7z020
/processing_system7_0	<input type="checkbox"/>	Up-to-date	No changes required More info	ZYNQ7 Processing System	5.5 (Rev. 6)	5.5 (Rev. 6)	Included	xc7z020
/axi_gpio_0	<input type="checkbox"/>	Up-to-date	No changes required More info	AXI GPIO	2.0 (Rev. 21)	2.0 (Rev. 21)	Included	xc7z020
/ps7_0_axi_periph	<input type="checkbox"/>	Up-to-date	No changes required More info	AXI Interconnect	2.1 (Rev. 20)	2.1 (Rev. 20)	Included	xc7z020

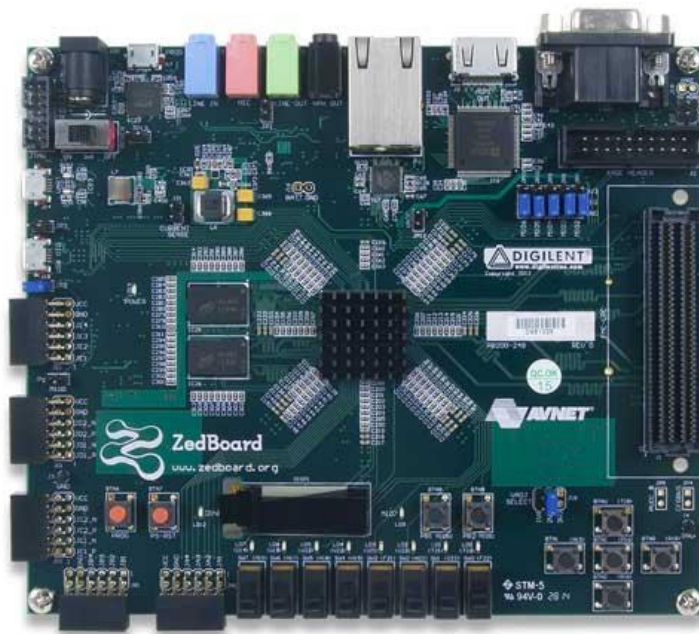
Upgrade Selected

Ссылки по теме

Дополнительные материалы:

- Ug896 Designing with IP
- <https://www.xilinx.com/video/hardware/packaging-custom-ip-integrator.html>
- UG1037 AXI Reference Guide
- UG761 AXI Reference Guide

Демонстрация работы IP-ядра контроллера PWM



Спасибо за внимание !

Ваши вопросы



Наши ответы



**МАКРО
ГРУПП**

Официальный дилер Xilinx

Контакты

Тел.: 8 (800) 333-06-05

email: SALES@MACROGROUP.RU

Продукция Xilinx и техподдержка: fpga@macrogroup.ru

Олег Болихов – руководитель направления “Цифровая электроника”

Дмитрий Хорьков – руководитель направления Xilinx

Владимир Викулин, Дмитрий Шадрин – техподдержка Xilinx

Xilinx – полезные ссылки

- ◆ Сайт Xilinx: <https://www.xilinx.com/>
- ◆ Сайт Developer: <https://developer.xilinx.com/>
- ◆ Форум: <https://forums.xilinx.com/>
- ◆ Обучение: <https://xilinxprod-catalog.netexam.com/>
- ◆ Репозиторий: <https://github.com/Xilinx>
- ◆ Отладочные платы и платформы:
<https://www.xilinx.com/products/boards-and-kits/see-all-evaluation-boards.html>

Xilinx – материалы с сайта

Справочные и методологические материалы на сайте Xilinx

- ◆ DocNav – все в одном месте на вашем компьютере
- ◆ Selection guides – руководства по выбору
- ◆ User guides – руководства по применению
- ◆ UFSM – методология проектирования
- ◆ AR – ответы на вопросы

Xilinx – как получить техподдержку

Техподдержка

- ◆ Сначала посмотреть на форуме Xilinx
- ◆ Поискать на ресурсах Xilinx:
<https://www.xilinx.com/support.html>
- ◆ Обратиться в Macro: fpga@macrogroup.ru
- ◆ Открыть service request:
https://service.xilinx.com/sservice_prod/start.swe

Xilinx – на чем разрабатывать и отлаживать свои проекты

Отладочные платы и платформы Подберем отладку под ваши задачи

- ◆ <https://www.macrogroup.ru/catalog/partgroup/378>
- ◆ <https://www.xilinx.com/products/boards-and-kits.html>

