**Основы архитектуры FPGA и средств проектирования Xilinx**

Материалы курса.

* Слайды лекций на русском языке.
* Описания лабораторных работ с пошаговыми инструкциями на русском языке.
* Все материалы передаются слушателям в печатном виде.

Оборудование

* Лабораторные работы выполняются индивидуально на платах Basys3 или Nexys4 DDR.

Требования к слушателям

* Базовые знания по цифровой схемотехнике.

План курса

День 1

1. **Лекция**. Обзор FPGA компании Xilinx. Архитектура FPGA 7-ой серии.
2. **Лекция**. Обзор средств проектирования компании Xilinx. Процедура проектирования FPGA. Обзор возможностей пакета Vivado. Процедура проектирования FPGA в пакете Vivado.
3. **Лабораторная работа 1**. Знакомство с Vivado IDE и процедурой проектирования в рамках пакета Vivado; конфигурация FPGA на плате Basys3 или Nexys4 DDR.
4. **Лекция**. Особенности и настройки процедуры синтеза. Анализ результатов синтеза.
5. **Лабораторная работа 2.** Знакомство с процедурой синтеза, с процедурой изменения настроек синтеза и их влиянием на результаты синтеза, анализ отчетов о результатах.
6. **Лекция**. Основы управления трассировкой FPGA и анализ отчетов. Основы временного анализа в пакете Vivado. Создание конфигурационного файла и конфигурирование FPGA.
7. **Лабораторная работа 3.** Реализация процедуры трассировки FPGA и анализ отчетов; реализация статического временного анализа (STA); реализация конфигурации FPGA на плате Basys3 или Nexys4 DDR и проверка работы проекта на плате.

День 2

1. **Лекция**. Основы работы с библиотекой модулей IP (IP Catalog). Знакомство с IP integrator (приложение для создания блоков на основе модулей IP). Знакомство с IP Packager (приложение для создания модуля IP из собственного проекта). Ресурсы синхронизации и приложение Clocking Wizard (для реализации синхронизации в FPGA).
2. **Лабораторная работа 4.** Реализация процедуры создания проекта с использованием IP Integrator и приложения Clocking Wizard. Конфигурирование FPGA на плате Basys3 или Nexys4 DDR и проверка работы проекта.
3. **Лекция**. Назначение номеров выводов и параметров выводов FPGA. Назначение требований к временным параметрам. Приложение Constraints Wizard.
4. **Лабораторная работа 5.** Реализация процедуры назначения выводов FPGA и процедуры назначения требований к временным параметрам; анализ выполнения требований по результатам статического временного анализа.
5. **Лекция**. Отладка проекта на плате с помощью Vivado Integrated Logic Analyzer и Vivado native Virtual Input / Output.
6. **Лабораторная работа 6.** Реализация процедуры отладки проекта, работающего на плате, с помощью Vivado Integrated Logic Analyzer и Vivado native Virtual Input / Output.
7. **Финальный проект** для самостоятельной разработки и реализации.