

Отладочные платы на базе СнК AMD RF-SoC от торговой марки



CRUETECH

Владимир Викулин, инженер по применению ПЛИС
15.10.2025 г.

Компания Cruetech



CRUETECH

О компании

Бренд Cruetech создан в 2024 году для консолидированных поставок высокотехнологического оборудования и микросхем импортного производства.

Основные продуктовые направления:

- **Системы на модуле**
- **Отладочные платы на основе ПЛИС и систем на кристалле**
- **Твердотельные накопители**
- **Модули памяти**
- **Оптические трансиверы**
- **Устройства SDR**

План вебинара

Часть 1: Обзор

- ◆ Линейка CNK RF-SoC от AMD-Xilinx, её состав и основные характеристики
- ◆ Отладочные наборы CRZU47DR и CRZU49DR
 - Технические характеристики
 - Комплект поставки
 - Поддержка от производителя
- ◆ Типовая архитектура систем на платформе RF-SoC
- ◆ Ядро RF Data Converter - кратко
- ◆ Демонстрация работы CRZU47DR

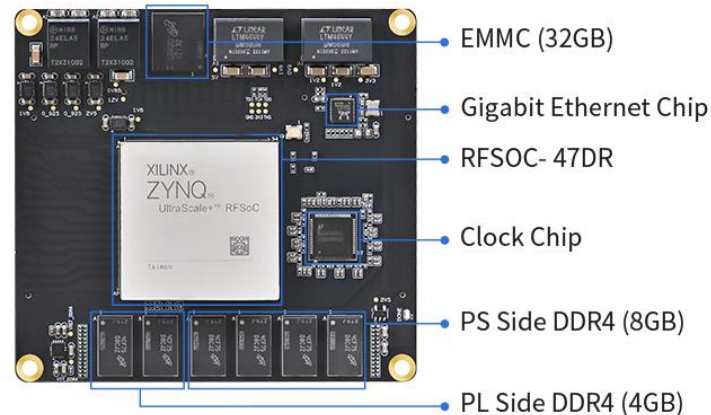
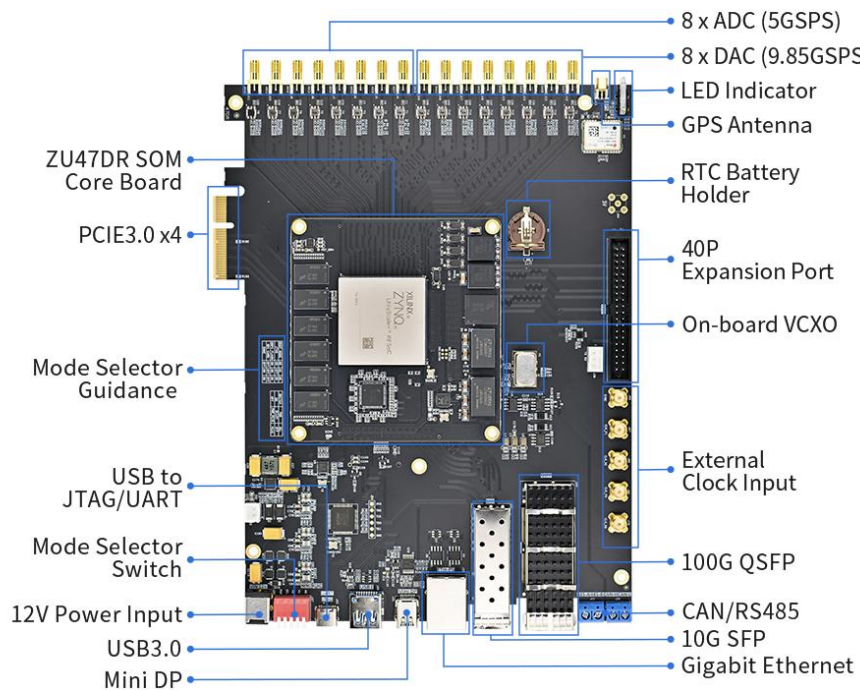
Часть 2: Технические детали

- ◆ Ядро RF Data Converter - конфигурирование
- ◆ Синхронизация между каналами
- ◆ Конфигурирование AXIS каналов
- ◆ ПО: Baremetal и Linux приложения

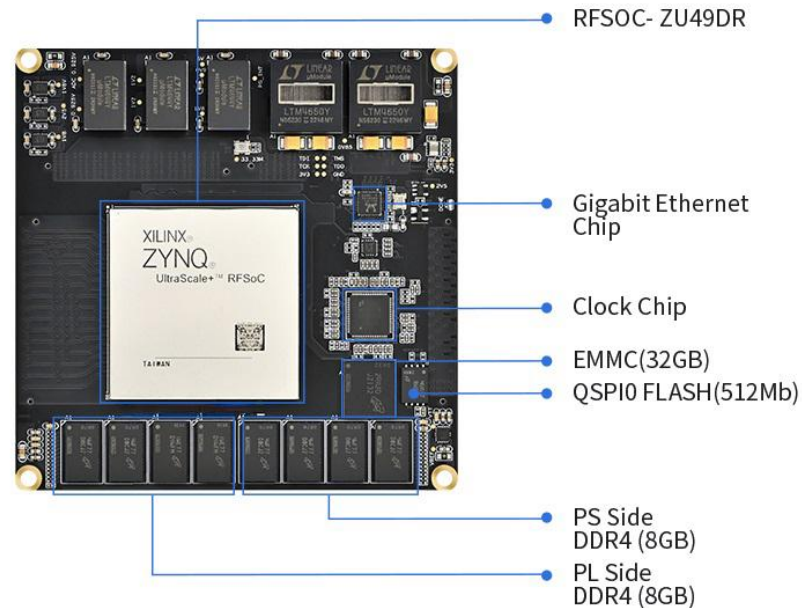
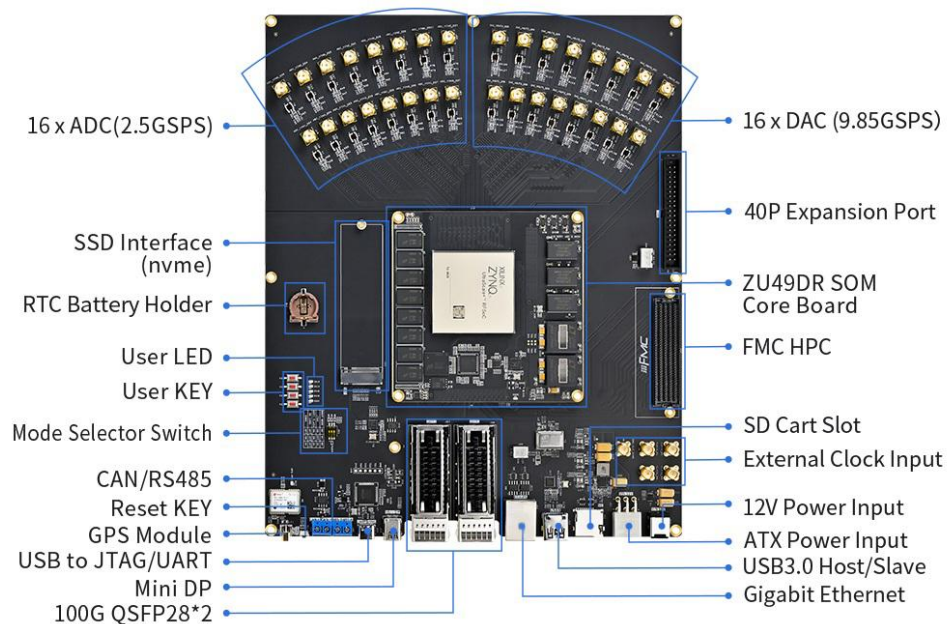
		Device Name	ZU21DR	ZU25DR	ZU27DR	ZU28DR	ZU29DR	ZU39DR	ZU42DR		ZU43DR	ZU46DR	ZU47DR	ZU48DR	ZU49DR	
		Gen 1							Gen 2		Gen 3					
PS	Quad-core Arm® Cortex®-A53 MPCore™ up to 1.3GHz, Dual-core Arm Cortex-R5F MPCore up to 533MHz															
RF Data Converter	12-bit RF-ADC w/DDC	# of ADCs	0	8	8	8	16	16	—		—	—	—	—	—	
		Max Rate (GSPS)	0	4.096	4.096	4.096	2.058	2.220	—		—	—	—	—	—	
	14-bit RF-ADC w/DDC	# of ADCs	—	—	—	—	—	—	8		2	4	8	4	8	16
		Max Rate (GSPS)	—	—	—	—	—	—	2.5		5.0	5.0	2.5	5.0	5.0	2.5
	14-bit RF-DAC w/DUC	# of DACs	0	8	8	8	16	16	8		4	12	8	8	16	
		Max Rate (GSPS)	0	6.554	6.554	6.554	6.554	6.554	9.85 ⁽³⁾		9.85 ⁽³⁾	9.85 ⁽³⁾	9.85 ⁽³⁾	9.85 ⁽³⁾	9.85 ⁽³⁾	
	SD-FEC		8	0	0	8	0	0	0		0	8	0	8	0	
	Digital Front-End (DFE)		—	—	—	—	—	—	—		—	—	—	—	—	
	Number of DDCs per RF-ADC ⁽¹⁾		0	1	1	1	1	1	1		2	1	1	1	1	
	RF input Freq max. GHz		4						5		6					
Decimation / Interpolation		1x, 2x, 4x, 8x						1x, 2x, 4x, 8x		1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x						
Programmable Logic (PL)	System Logic Cells (K)		930	678	930	930	930	930	489		930	930	930	930	930	
	CLB LUTs (K)		425	310	425	425	425	425	224		425	425	425	425	425	
	Max. Dist. RAM (Mb)		13.0	9.6	13.0	13.0	13.0	13.0	6.8		13.0	13.0	13.0	13.0	13.0	
	Total Block RAM (Mb)		38.0	27.8	38.0	38.0	38.0	38.0	22.8		38.0	38.0	38.0	38.0	38.0	
	UltraRAM (Mb)		22.5	13.5	22.5	22.5	22.5	22.5	45.0		22.5	22.5	22.5	22.5	22.5	
	DSP Slices		4,272	3,145	4,272	4,272	4,272	4,272	1,872		4,272	4,272	4,272	4,272	4,272	
	GTy Transceivers		16	8	16	16	16	16	8		16	16	16	16	16	
	PCIe® Gen3 x16		2	1	2	2	2	2	—		—	—	—	—	—	
	PCIe® Gen3 x16/Gen4 x8 / CCIX ⁽²⁾		—	—	—	—	—	—	0		2	2	2	2	2	
	150G Interlaken		1	1	1	1	1	1	0		1	1	1	1	1	
	100G Ethernet MAC/PCS w/RS-FEC		2	1	2	2	2	2	0		2	2	2	2	2	
	System Monitor		2	2	2	2	2	2	2		2	2	2	2	2	
	Speed Grades		-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI		-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	
Package Footprint		Package Dimensions	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC	PSIO, HDIO, HPiO GTR, GTy RF-ADC, RF-DAC		
D1156	35x35	214, 72, 208 4, 16 0, 0														
F1156	35x35		214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8			214, 24, 128 4, 8 10, 8	214, 48, 104 4, 8 4, 4		214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8				
G1517	40x40		214, 48, 299 4, 8 8, 8	214, 48, 299 4, 16 8, 8	214, 48, 299 4, 16 8, 8				214, 48, 299 4, 16 4, 4		214, 48, 299 4, 16 8, 8	214, 48, 299 4, 16 8, 8				
F1760	42.5x42.5					214, 96, 312 4, 16 16, 16	214, 96, 312 4, 16 16, 16							214, 96, 312 4, 16 16, 16		
H1760	42.5x42.5										214, 48, 312 4, 16 12, 12					

1. This value applies when all RF I/O of an RF-ADC tile are used. 2. Operates in compatibility mode for 16.0GT/s (Gen4) operation. See PG213. 3. For operation up to 10GSPS, contact your local Xilinx Sales Representative.

Отладочный набор CRZU47DR



Отладочный набор CRZU49DR



Некоторые важные характеристики

	ZUDR47	ZUDR49
Каналы АЦП	8x14bit@5Gb/s	16x14bit@2.5Gb/s
Каналы ЦАП	8x14bit@9.85Gb/s	16x14bit@9.85Gb/s
Multi-tile Sync	+	+
Тактирование	5P49V6965 TI LMK04828	5P49V6965 TI LMK04828
GPS Module	+	+

Поддержка от производителя

Что есть:

- ◆ Схема электрическая
- ◆ Техническое описание
- ◆ Даташиты на применяемые микросхемы
- ◆ Конструкторская документация
- ◆ Обучающие материалы и демо

Нет и не будет:

- ◆ Board Files
- ◆ PetaLinux BSP

Поддержка от производителя

Обучающие материалы и демо (v.2023.2):

FPGA Logic Demos

- 01.Vivado Installation
- 02.FLASH Curing
- 03.LED Flashing
- 04.PWM Control of LED
- 05.FPGA on-chip RAM Read and Write
- 06.FPGA on-chip ROM Read and Write
- 07.FPGA on-chip PLL Configuration
- 08.FPGA on-chip FIFO Usage
- 09.DDR4 Control Read and Write on the FPGA Side
- 10.I2C Read and Write E2PROM
- 11.Gigabit UDP based on RTL8211
- 12.SFP Bit Error Rate Test
- 13.SFP Auraro 8B/10

SDK Demos

- 01.Uart
- 02.TTC Timer Interrupt
- 03.EMIO Control LED Flashing
- 04.DP Interface Display
- 05.Custom IP
- 06.RS485
- 07.CAN
- 08.I2C Communication
- 09.Gigabit Ethernet (NET0 MIO)
- 10.Gigabit Ethernet UDP Remote Upgrade
- 11.DDR4 Read and Write
- 12.EMMC Read and Write
- 13.AXI-DMA Read and Write
- 14.SD Card Read and Write
- 15.PL side Gigabit Ethernet Communication
- 16.PCIE Demos

PetaLinux Demos

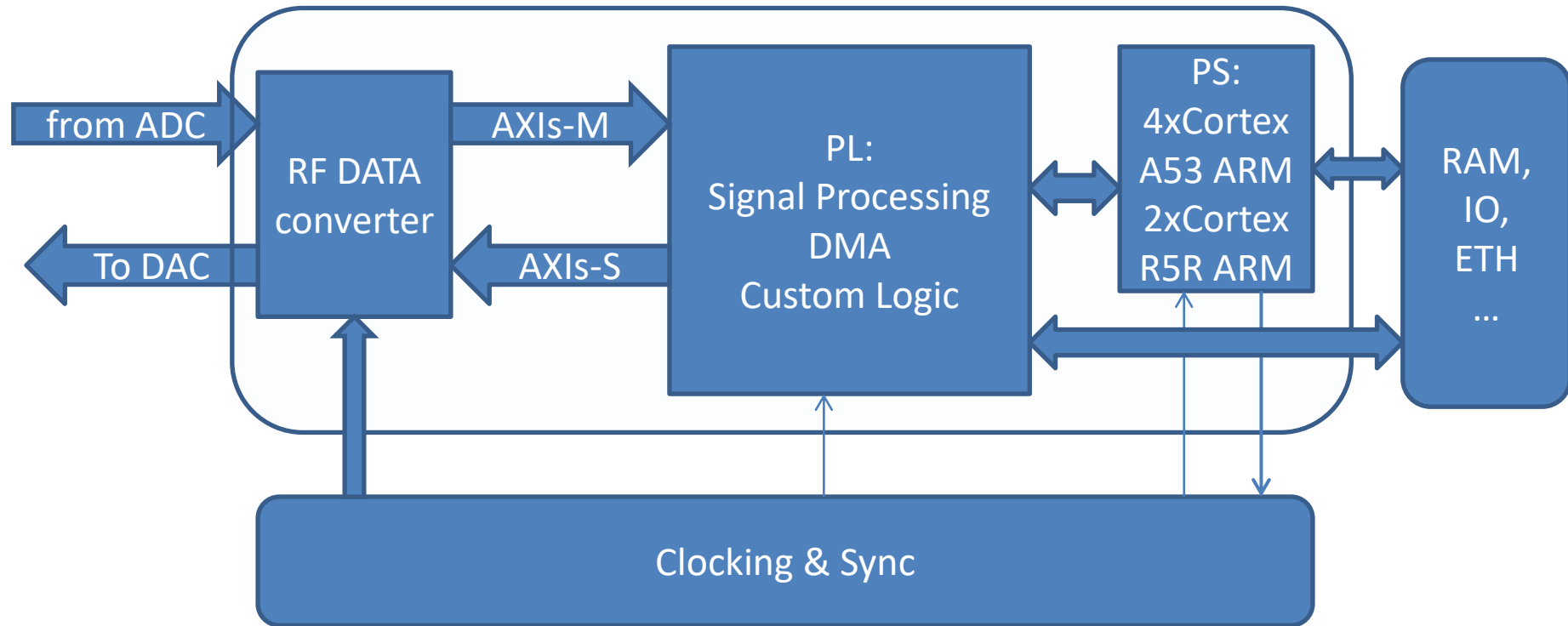
- 01.Introduction to Virtual Machine and Ubuntu System
- 02.Petalinux Tool Installation
- 03.SD Card to Start the Linux System
- 04.GPIO control LED
- 05.QSPI Curing and Startup
- 06.EMMC Curing and Startup
- 07.NVME SSD Read and Write
- 08.Linux Common Commands

RF Demos

- 01.Clock LMK04828 Demos
- 02.RF Transceiver Demos

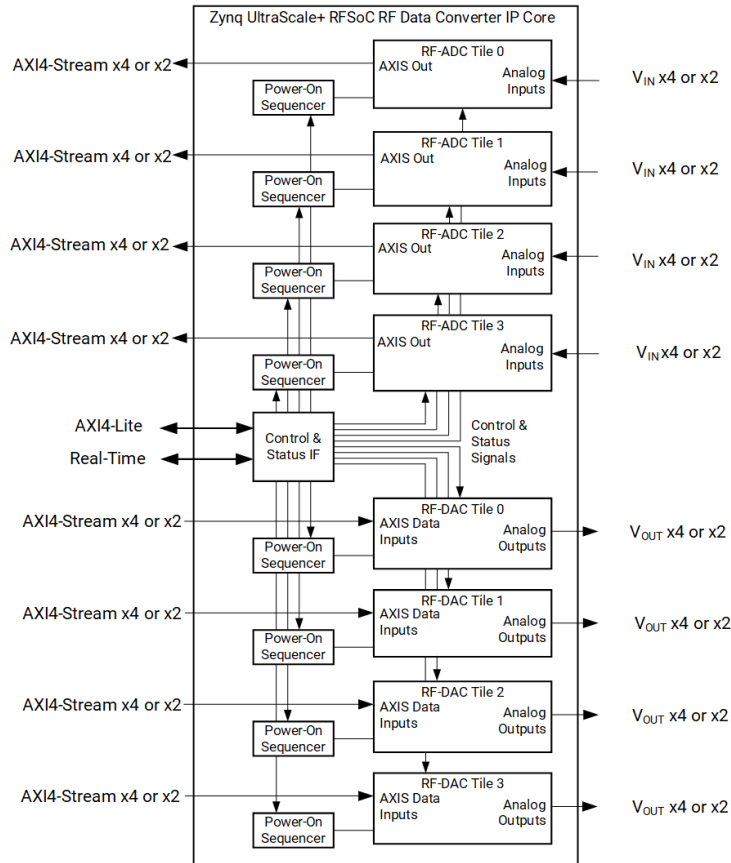
Типовая архитектура

RF-SoC



Типовая архитектура

RF Data Convector (<https://docs.amd.com/r/en-US/pg269-rf-data-converter>)



Главное

- АЦП и ЦАПы скомпонованы в тайлы с отдельным блоком для каждого тайла
- Для 8 канальных чипов используются тайлы на 2 АЦП, для 16-канальных – на 4
- Тоже самое для ЦАП

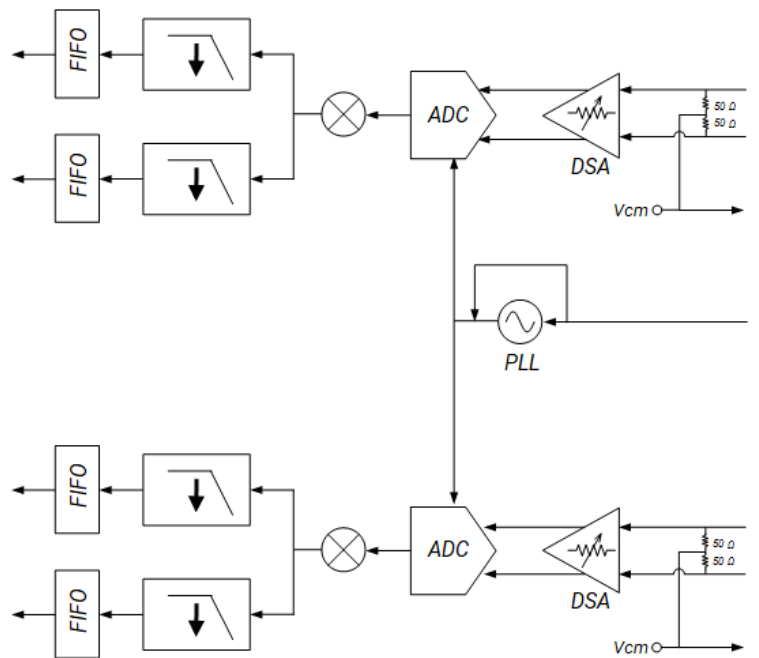
ФИЧИ

- Гибкая конфигурация
- DDC/DUC
- Multiband
- Децимация/Аппроксимация
- Цифровое микширование/разделение I/Q каналов

Типовая архитектура

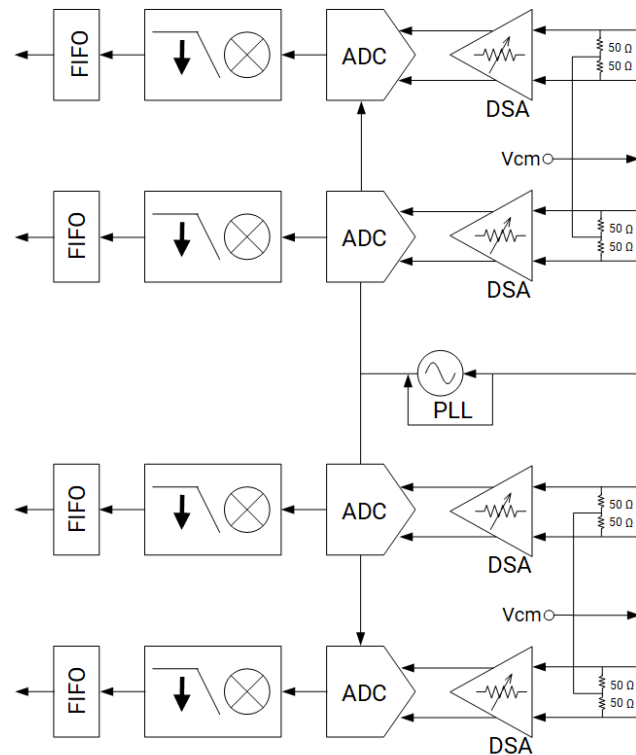
Конфигурации АЦП (Gen3)

Dual



X231 58-093019

Quad

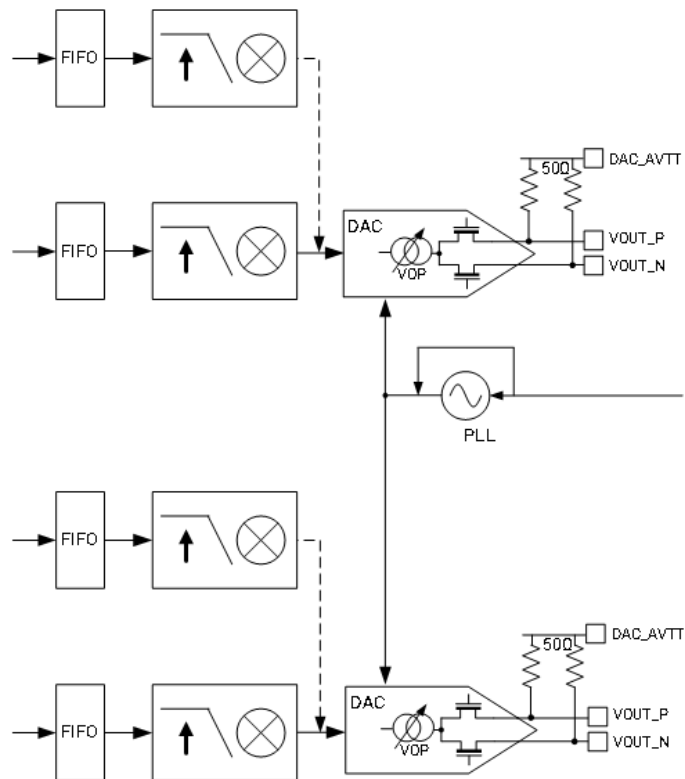


X231 58-093019

Типовая архитектура

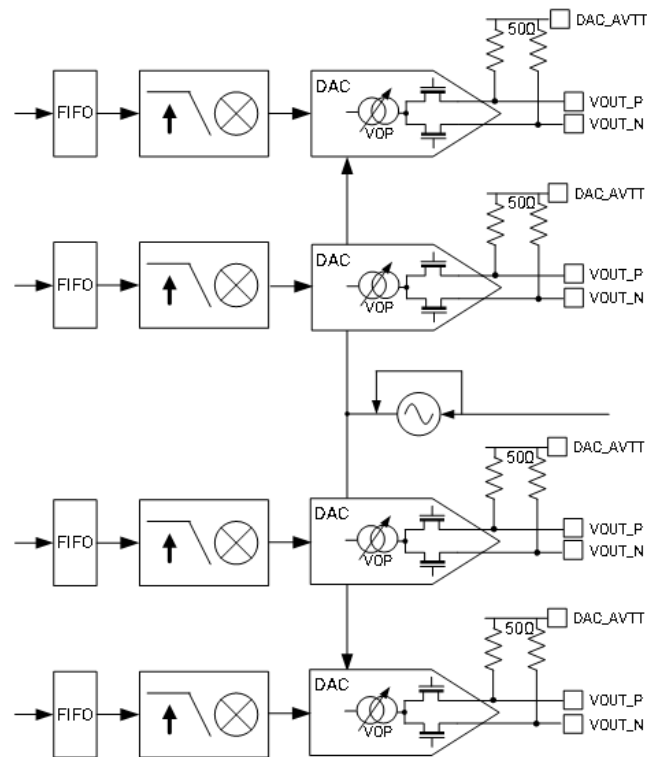
Конфигурации ЦАП (Gen3)

Dual



XZ32641 2051 4

Quad



XZ32641 2051 4

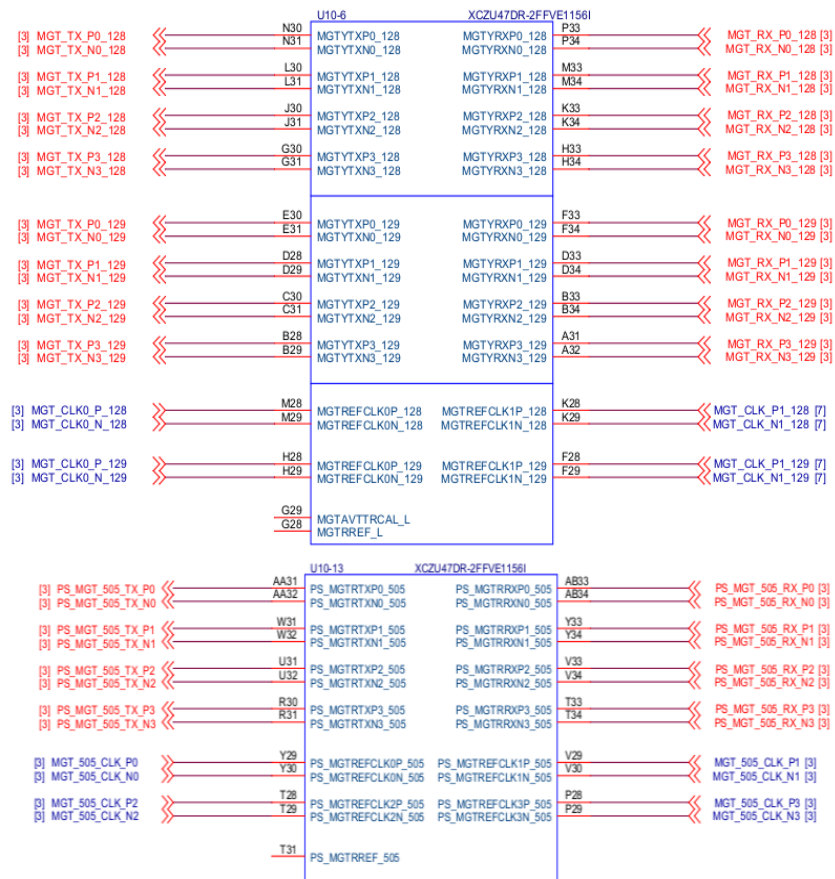
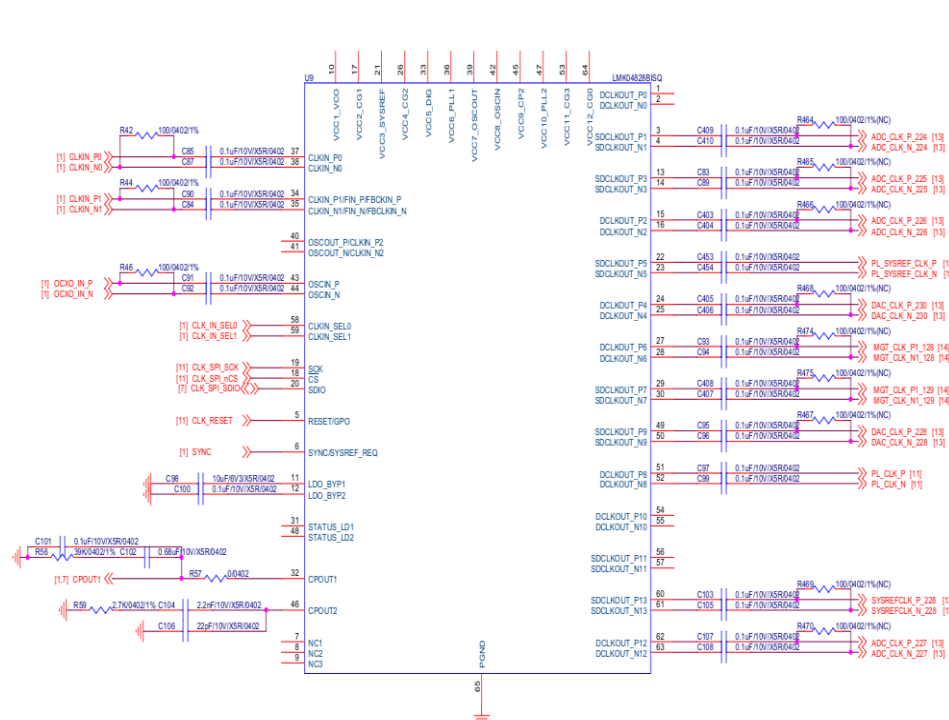
Управление клоками

Клоковая подсистема CRZU47DRB/49DRB

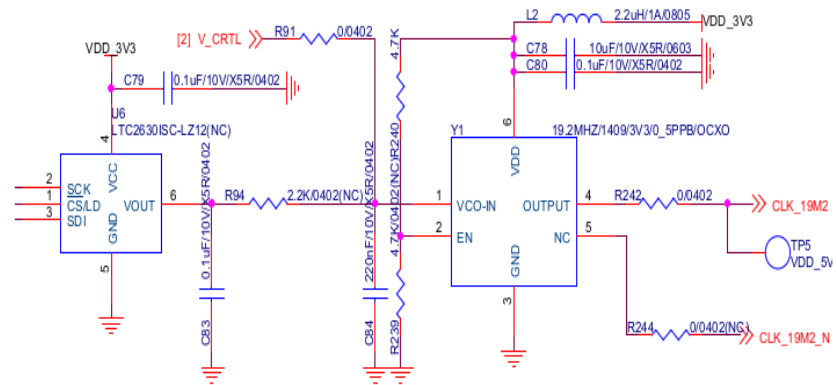
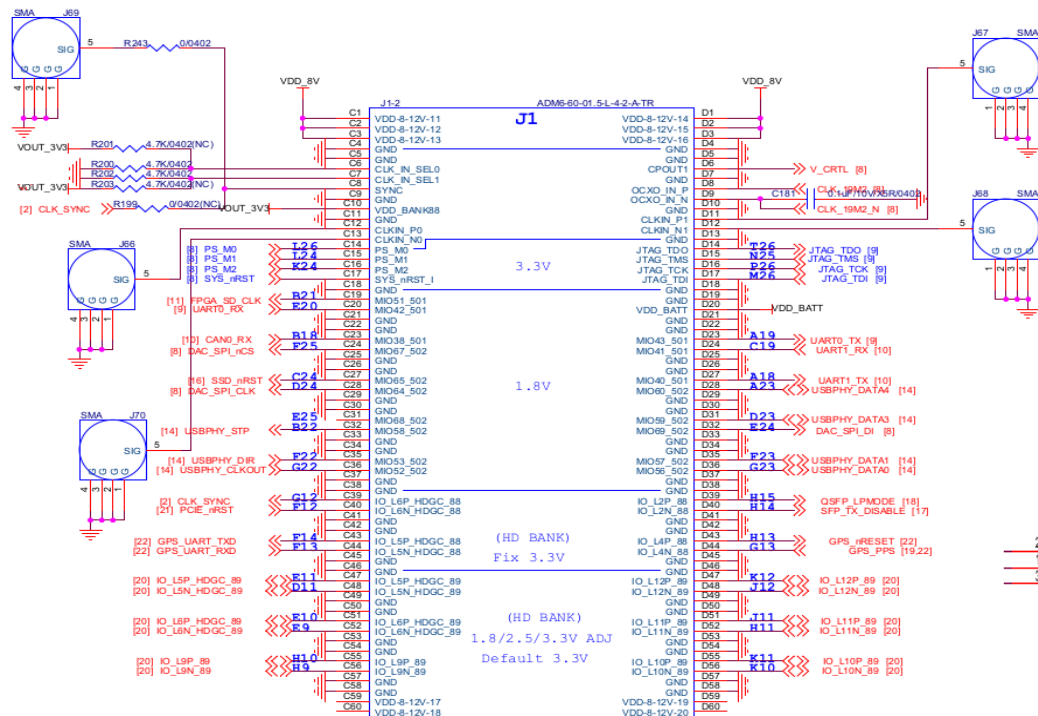
Назначение	Тип	Расположение
Распределение клона на каналы ЦАП/АЦП	LMK04828	Модуль
Управляемый тактовый генератор	5P49V6965A 000N Вх. Клок 25МГц	Плата
Термостабилизированный генератор	19.2МГц /1409/3V3/0 _5PPB	Плата

- Качественный клок – основа стабильной работы системы
- Каждый тайл питается своим клоком
- Имеется возможность междутайловой синхронизации, причем как между АЦП и ЦАП, так и всех тайлов (ЦАП и АЦП совместно).

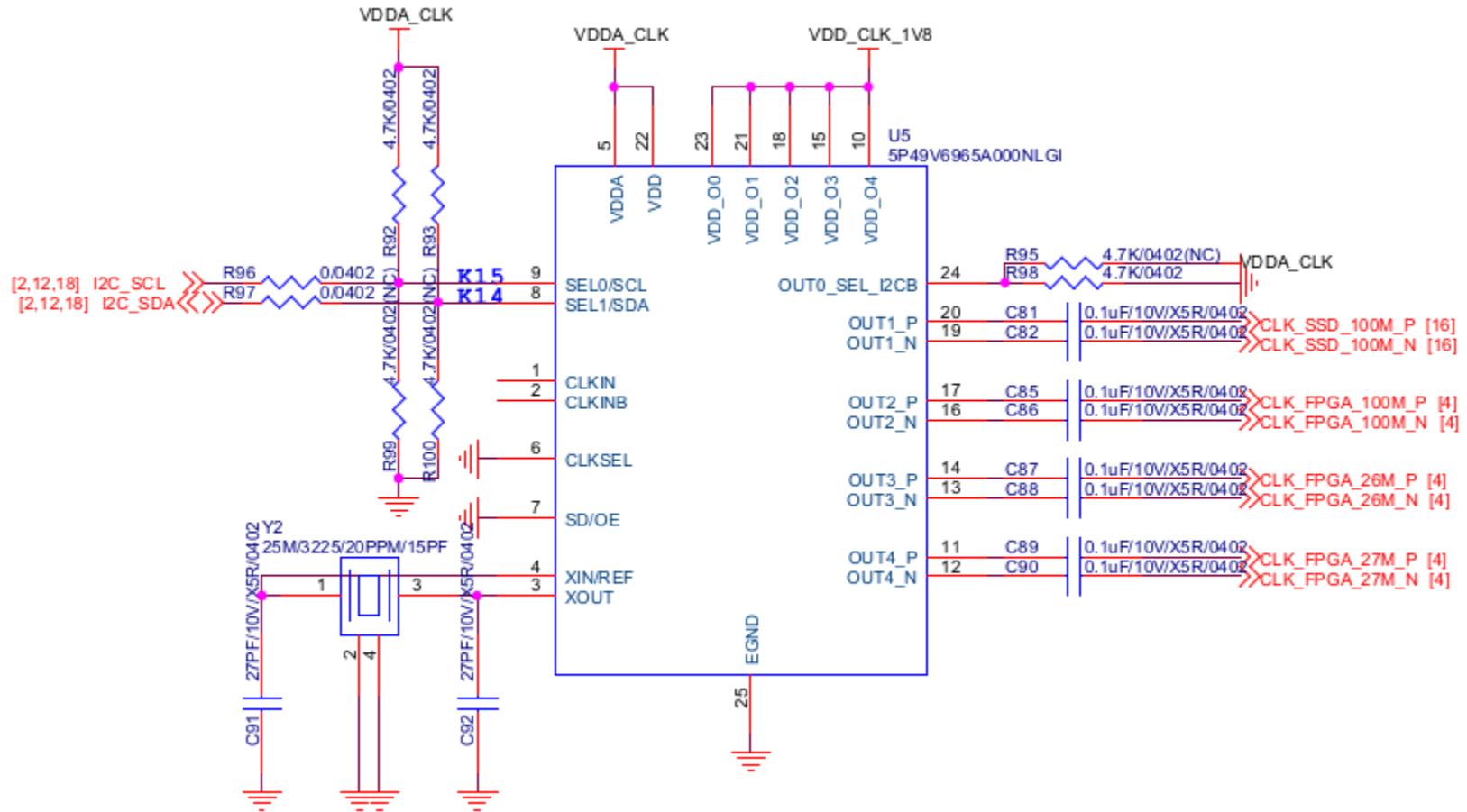
Управление блоками



Управление блоками



Управление клоками



Управление блоками

Последовательность действий

1. Определить необходимые тактовые частоты
2. Сконфигурировать Imk04828 (В утилите TicksPro)
3. Залить прошивку в Imk04828
Если нужна межканальная синхронизация:
4. Синхронизировать блоковые выходы Imk04828
5. Синхронизировать тайлы RFSoc

Демонстрация работы



Ссылки

1. Сайт Макро Групп
 - [CRZU47DRB](#)
 - [CRZU49DRB](#)
2. Сайт AMD <https://www.amd.com/en/products/adaptive-socs-and-fpgas/soc/zyng-ultrascale-plus-rfsoc.html>
3. Selection Guide <https://docs.amd.com/v/u/en-US/zyng-usp-rfsoc-product-selection-guide>
4. RF Data Converter <https://docs.amd.com/v/u/2.3-English/pg269-rf-data-converter>
5. RF Evaluation tools <https://docs.amd.com/r/en-US/ug1309-rf-data-converter-interface>

Конец первой части и спасибо за внимание !

Ваши вопросы



Наши ответы



**МАКРО
ГРУПП**



CRUETECH

Центр компетенции по применению ПЛИС и СнК

Контакты

Тел.: 8 (800) 333-06-05

email: SALES@MACROGROUP.RU

Продукция Xilinx и техподдержка: fpga@macrogroup.ru

Олег Болихов – руководитель направления “Цифровая электроника”

Андрей Смирнов – ведущий по направлению ПЛИС и СнК

Владимир Викулин – техподдержка ПЛИС и СнК