

Многократное ускорение: новые продукты и средства проектирования от Xilinx

- ◆ ПЛИС, СнК, платформы и средства разработки
- ◆ Новые подходы и технологии проектирования

Владимир Викулин, инженер по применению Xilinx

02.2020

План семинара

- ◆ Компания Xilinx
 - Xilinx - краткая справка
 - Макро – авторизованный дистрибьютор Xilinx
- ◆ Традиционные ПЛИС, СнК и средства разработки Xilinx, краткий обзор
- ◆ Инфраструктура поддержки разработчиков от Xilinx
 - Web-ресурсы
 - Документация и Методологические рекомендации
 - Отладочные платы Xilinx и партнеров
 - Полезные ссылки
- ◆ Новейшие разработки Xilinx
 - 7-нм платформа ACAP VERSAL
 - Ускорительные платы Alveo
 - Среда разработки Vitis
- ◆ Универсальная среда проектирования Vitis – революция в разработке для ПЛИС и СнК
 - Технология высокоуровневого проектирования (HLS) – что это такое?
 - Vitis Target platforms
 - “Вертикальная интеграция”

Xilinx - Кратко

- ◆ Xilinx inc – американская электронная fabless компания, изобретатель ПЛИС, основана в 1984 г.
- ◆ Штаб-квартира – Сан-Хосе, Калифорния, США
- ◆ Количество сотрудников ~4500
- ◆ Оборот за 2019 – \$3.6 млрд
- ◆ Прибыль за 2017 - \$622 млн

Традиционные ПЛИС, СнК и средства разработки Xilinx, краткий обзор

- ◆ ПЛИС и СнК – современные продуктовые линейки
- ◆ Vivado
- ◆ Отладочные платы Xilinx и партнеров

ПЛИС и СнК (1)

Современные продуктовые линейки

	6 семейство (45 нм)	7 семейство (28 нм)	US (20 нм)	US+ (16 нм)	- (7 нм)
Spartan	2009	2017	-	-	-
Artix		2010	-	-	-
Kintex		2010	2013	2013	-
Virtex		2010	2013	2013	-
СнК		2013 Zynq7000(s)	-	2018 ZUS+ RFSoc	2020 Versal

ПЛИС и СнК (2)

Low Cost

	LE	BRAM	DSP	Trans	Cores	Cpu
Spartan-6	150K	4.8 Mb	180	8x3.2 Gb/s	-	-
Spartan-7	100K	4.2 Mb	160	-	-	-
Artix	215K	13 Mb	740	16x3.2 Gb/s	PCIe Gen2x4	-
Zynq7000S	65K	3.8 Mb	170	4x6.6 Gb/s (Z7012S)	PCIe Gen2x4	1xARM Cortex-A9@766MHz
Zynq7000*	85K	4.8 Mb	220	4x6.6 Gb/s (Z7015S)	PCIe Gen2x4	2xARM Cortex-A9@866MHz

(*) - до Zynq-7020 включительно

<https://www.xilinx.com/support/documentation/selection-guides/cost-optimized-product-selection-guide.pdf>

ПЛИС и СнК (3)

Midrange

	LE	BRAM	DSP	Trans	Cores	Cpu
Kintex-7	477K	34M	1929	32x12.5 Gb/s	PCIe Gen2x8	-
Kintex US	1176K	59.1M	4100	64x16.3Gb/s	4xPCIe® Gen1/2/3, 2xEth 100G	-
Kintex US+	1,143K	70.6*	3528	32x32.75Gb/s 44x16.3Gb/s	5xPCIe® Gen3x16, 4xEth 100G w FEC	-
Zynq7000**	444K	26.5M	2020	16x6.6 Gb/s	PCIe Gen2x8	2xARM Cortex-A9@1GHz
Zynq US+ CG	600K	11M+ 27M*	2520	24x16.3Gb/s	2xPCIe® Gen3x16	2xARM Cortex-A53@1.3GHz 2xARM Cortex-R5@533MHz

(*) – BRAM+URAM

(**) – от Zynq-7030

ПЛИС и СнК (4)

High End

	LE	BRAM	DSP	Trans	Cores	HBM	Cpu
Virtex-7	1139K	1880K	3600	16x28.05 Gb/s	4xPcie Gen3	-	-
Virtex US	5065K	132.9M	2880	60x30.5 Gb/s	6xPCle® Gen1/2/3 9x100G Eth	-	-
Virtex US+	8937K	94.5M+ (360M)	12288	48x58Gb/s PAM4	12xPCle Gen3x16/ Gen4x8 / CCIX 9x100G Eth	16GB	-
Zynq US+	1143K	34.6M+ (36.0M)	3528	28x32.75Gb/s 44x16.3Gb/s	4xPCle Gen3 x16 4x100G Eth EV: H.264/265 Codec	-	4xARM Cortex- A53@1.3GHz 2xARM Cortex- R5@533MHz
RFSoc	930K	13M+ (22.5M)	4272	16x32.75Gb/s	2xPCle, 2x100G Eth 8x12b@4096 GS/S RF- ADC w/DDC 16x14b@6.5GS/S RF- DAC w/DUC	-	

ПЛИС и СнК (5)

Исполнение

- ◆ C – $0 \div 85$ °C
- ◆ E – $0 \div 100$ °C
- ◆ I – $-40 \div 100$ °C
- ◆ Q – $-40 \div 125$ °C
- ◆ XQ(R) – $-55 \div 125$ °C

Корпуса

- ◆ BGA (GGA)
- ◆ От 225 до 3824 выводов
- ◆ Безкрышечные Flip-chip
- ◆ Свинец (XQ..)



https://www.xilinx.com/support/documentation/user_guides/ug112.pdf

ПЛИС и СнК (6)

Лицензирование

Выбор ПЛИС и СнК Xilinx для разработки с учётом жизненного цикла, ограничений на поставку (4 критерия лицензирования) и ограничений на ввоз.

ПЛИС и СнК (7)

Средства разработки

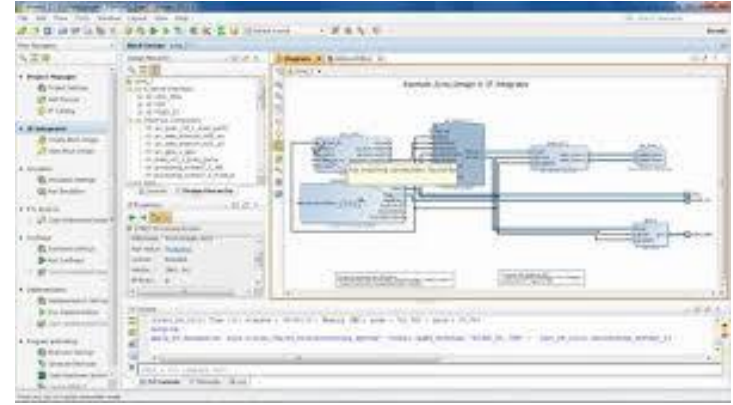
- ◆ Для старых серий ПЛИС (до 7 вкл.): ISE14.7
- ◆ Для серий 7 – US+ - Vivado (... 2019.1)
- ◆ Для СнК: PetaLinux
- ◆ Для новых продуктов: Vitis (2019.2 ...)

Скачивать отсюда: <https://www.xilinx.com/support/download.html>

ПЛИС и СМК (8)

Xilinx Vivado

- ◆ Среда низкоуровневого проектирования:
VHDL, Verilog, SystemVerilog
- ◆ Визуальное представление
- ◆ Встроенный симулятор
- ◆ Интегрированный отладчик
- ◆ Имеется бесплатная лицензия
(более половины ПЛИС и СМК)
- ◆ В дистрибутив входит Xilinx SDK
- ◆ Последняя самостоятельная версия,
2019.1, далее в составе Vitis



ПЛИС и СнК (9)

Средства разработки: IP-ядра

- ◆ Виды IP-ядер
 - ◆ Полностью доступные и бесплатные
 - ◆ Бесплатные, доступны по запросу
 - ◆ Эволюционные
 - ◆ Платные
 - ◆ Бесплатные ресурсы
- ◆ Как покупать

Xilinx – поддержка разработчиков (1)

- ◆ Сайт Xilinx: <https://www.xilinx.com/>
- ◆ Сайт Developer: <https://developer.xilinx.com/>
- ◆ Форум: <https://forums.xilinx.com/>
- ◆ Обучение: <https://xilinxprod-catalog.netexam.com/>
- ◆ Репозиторий: <https://github.com/Xilinx>
- ◆ Отладочные платы и платформы:
<https://www.xilinx.com/products/boards-and-kits/see-all-evaluation-boards.html>
- ◆ Партнеры
- ◆ Техподдержка

Xilinx – поддержка разработчиков (2)

Справочные и методологические материалы на сайте Xilinx

- ◆ DocNav – все в одном месте
- ◆ Selection guides
- ◆ User guides
- ◆ UFSM
- ◆ AR
- ◆ ...

Xilinx – поддержка разработчиков (3)

Техподдержка

- ◆ Сначала посмотреть на форуме
- ◆ Поискать на ресурсах Xilinx:
<https://www.xilinx.com/support.html>
- ◆ Обратиться в Macro: fpga@macrogroup.ru
- ◆ Открыть service request:
https://service.xilinx.com/sservice_prod/start.swe

Xilinx – поддержка разработчиков (4)

Полезные ресурсы

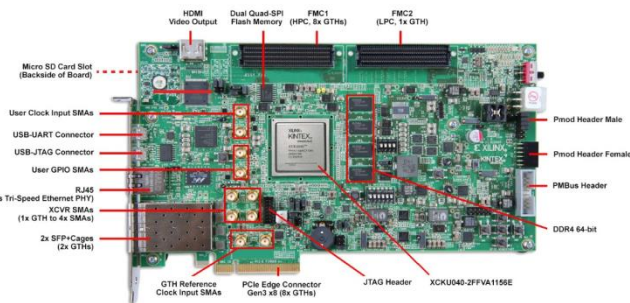
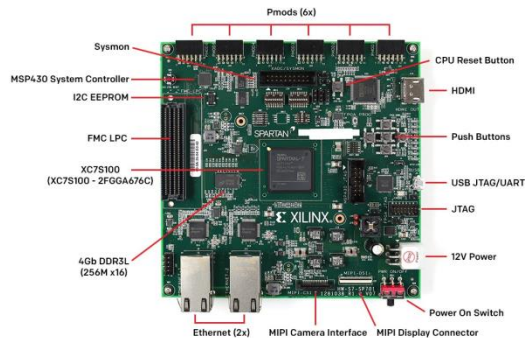
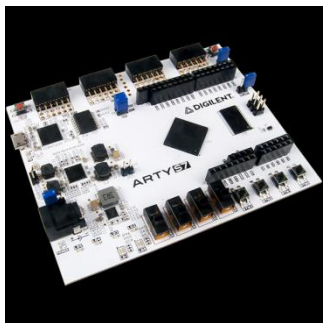
- ◆ Adam Teylor's blog: <http://www.microzedchronicles.com/>
- ◆ Verilog/SystemVerilog/Coding/Simulation:
<http://www.sunburst-design.com/papers/>

Xilinx – поддержка разработчиков (5)

Отладочные платы и платформы

Подберем отладку под ваши задачи

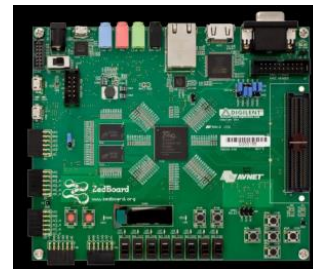
- ◆ <https://www.macrogroup.ru/catalog/partgroup/378>
- ◆ <https://www.xilinx.com/products/boards-and-kits.html>



Xilinx – поддержка разработчиков (6)

Отладочные платы и платформы

Подберем отладку под ваши задачи



Новейшие разработки Xilinx

- 7-нм платформа ACAP VERSAL
- Ускорительные платы Alveo
- Среда разработки Vitis

ACAP VERSAL

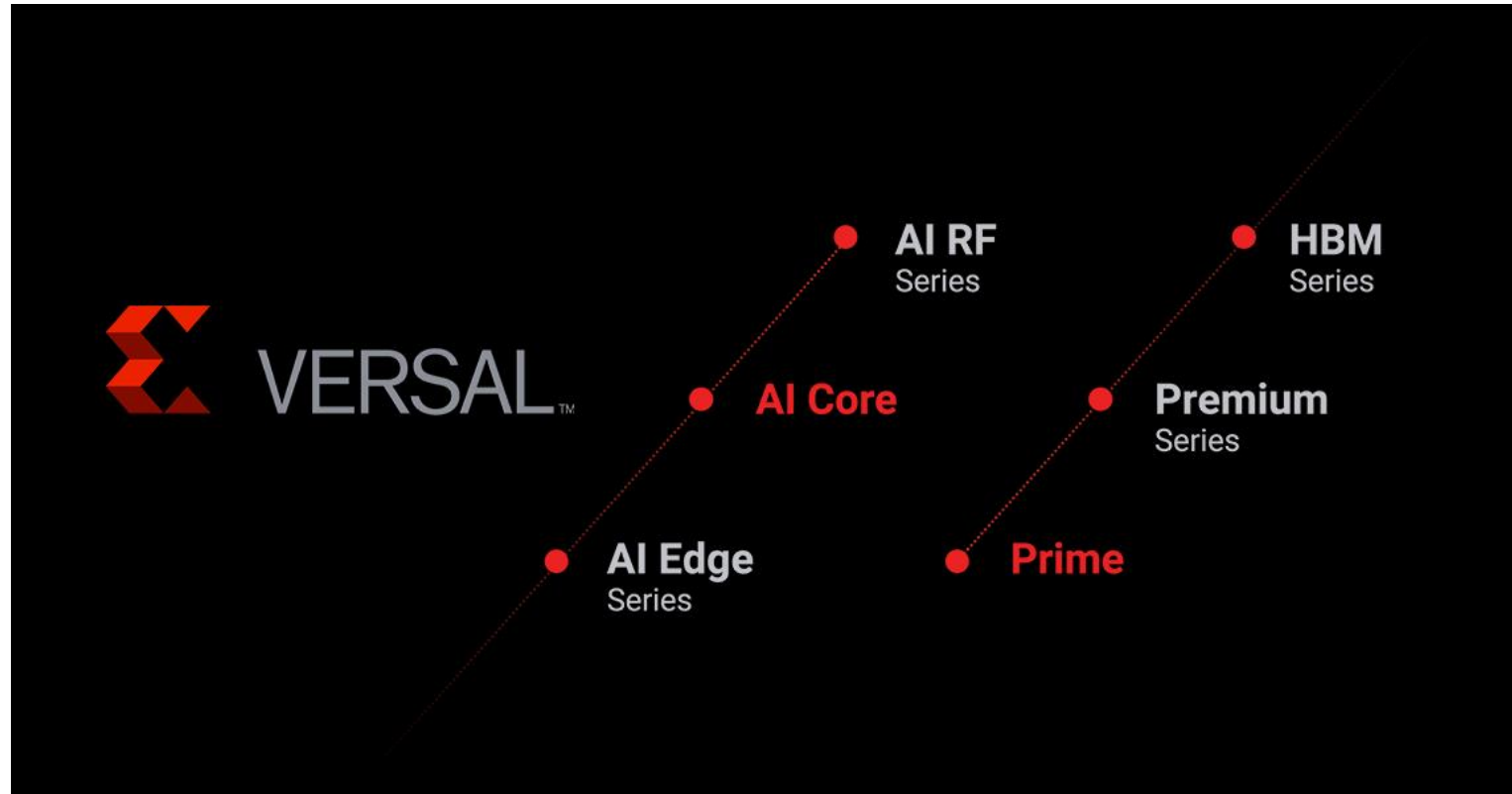
Первая в мире Адаптивная Платформа
Ускорения Вычислений



- > Гетерогенные ускорители
- > Для любых применений
- > Для любого разработчика

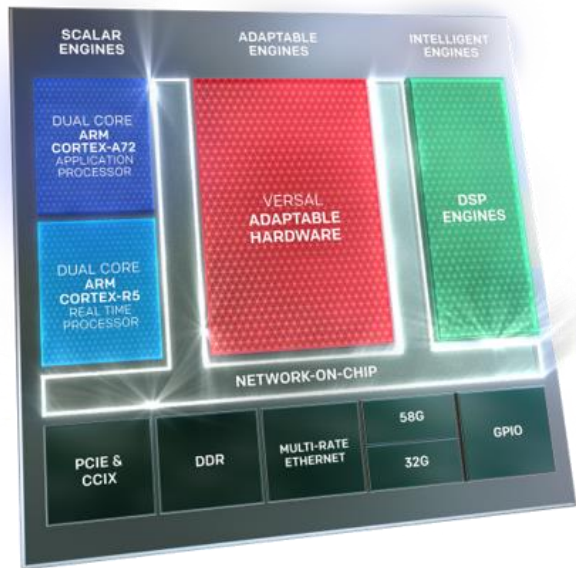


ACAP VERSAL (2)



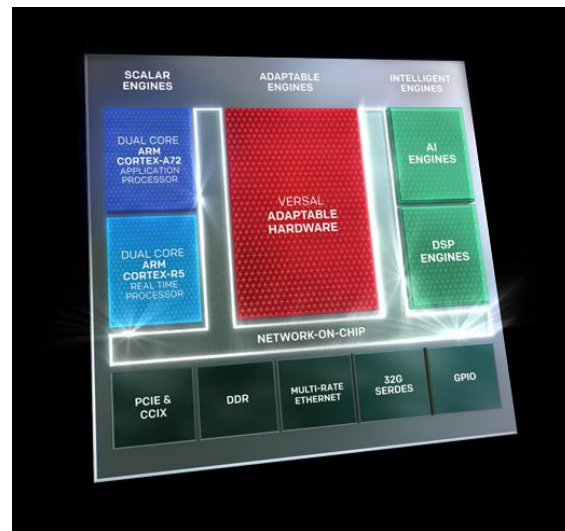
ACAP VERSAL (3)

Серия Prime



<https://www.xilinx.com/support/documentation/selection-guides/versal-prime-product-selection-guide.pdf>

Серия AI



<https://www.xilinx.com/support/documentation/selection-guides/versal-ai-core-product-selection-guide.pdf>

ACAP VERSAL (4)

Процессорная подсистема

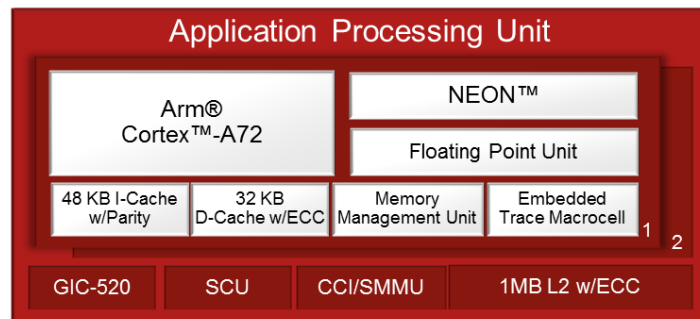
Dual-Core Arm Cortex-A72 Application Processors

Up to 1.7GHz for 2X single-threaded performance¹

Cost and power optimized (half the power)

Code compatibility (ARMv8-A architecture)

Device boots without a bit stream



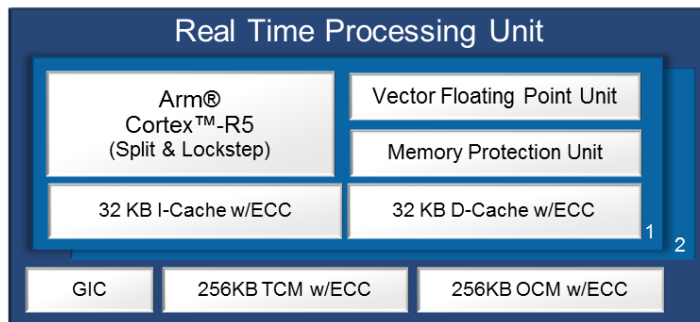
Dual-Core Arm Cortex-R5 Real Processors

Up to 750MHz for 1.4X greater performance¹

Low latency and deterministic

Flexible operation modes: Split-Mode and Lock-Step

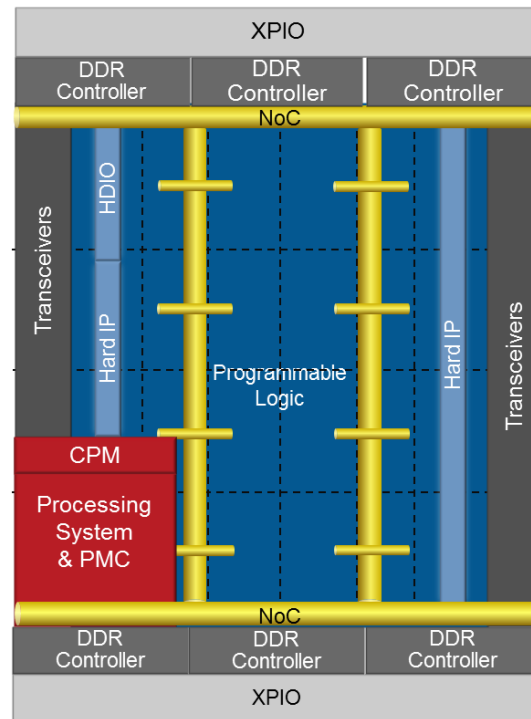
Highest levels of functional safety (ASIL and SIL)



ACAP VERSAL (5)

Сеть на кристалле

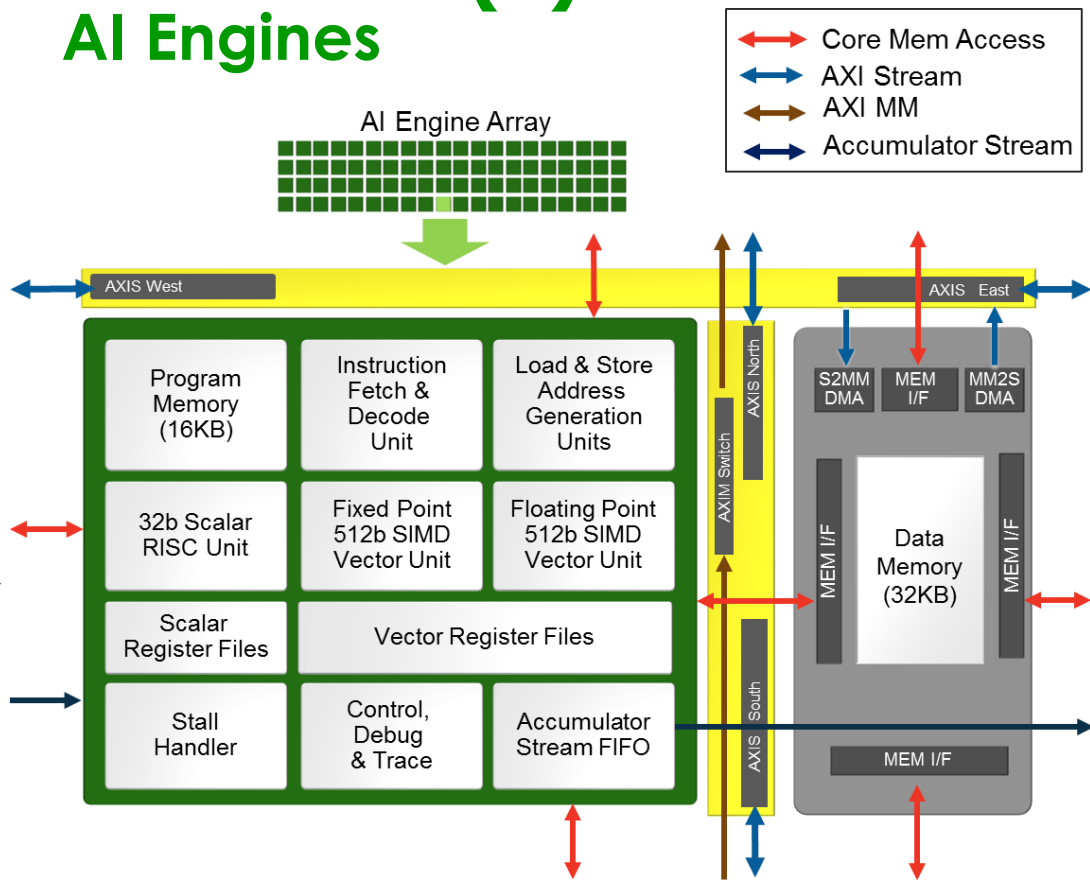
- High bandwidth terabit network-on-chip
 - Memory mapped access to all resources
 - Built-in arbitration between engines and memory
 - AXI4 based structure spanning full device (height and width)
- High bandwidth, low latency, low power
 - Guaranteed QoS
 - 8X power efficiency vs. FPGA implementations
 - Support AXI4 MM and AXI4 Stream
- Adaptable kernel placement
 - Every PL region has master and slave interface
 - Easily swap kernels at NoC port boundaries
 - Simplifies connectivity between kernels



ACAP VERSAL (6)

AI Engines

- AI Engine tile
 - AI Engine, data memory, and interconnect
- 1+ GHz VLIW/SIMD AI Engine
 - 32-bit Scalar RISC processor with fixed and floating point vector units
- Each AI Engine can access 4 Memory Modules (N,E,S,W) as one contiguous memory
- AXI-MM Switch for configuration, control and debugging functionality
- AXI-Stream crossbar switch for routing N/E/S/W streams



Ускорители ALVEO

Для серверных/облачных вычислений



◆ Alveo U50

◆ Alveo U200

◆ Alveo U250

◆ Alveo U280

Решаемые задачи:

- Ускорение вычислений
- ИИ, нейросети
- Обработка big data
- Транскодирование видео на лету
- ...

<https://www.xilinx.com/support/documentation/selection-guides/alveo-product-selection-guide.pdf>

Ускорители ALVEO (2)

Для серверных/облачных вычислений



- ◆ На базе чипов Virtex UltraScale+
- ◆ Высокоуровневое проектирование в vitis
- ◆ Низкоуровневое проектирование в Vivado
- ◆ Можно комбинировать высокоуровневое и низкоуровневое проектирование
- ◆ Разработка в облаке (AWS, Nimbix)

Ускорители ALVEO (3)

	Product Name	Alveo U200	Alveo U250	Alveo U280	Alveo U50
Dimensions	Width	Dual Slot	Dual Slot	Dual Slot	Single Slot
	Form Factor, Passive Form Factor, Active	Full Height, ¾ Length Full Height, Full Length	Full Height, ¾ Length Full Height, Full Length	Full Height, ¾ Length Full Height, Full Length	Half Height, ½ Length
Logic Resources ¹	Look-Up Tables	1,182K	1,728K	1,304K	872K
	Registers	2,364K	3,456K	2,607K	1,743K
	DSP Slices	6,840	12,288	9,024	5,952
DRAM Memory	DDR Format	4x 16GB 72b DIMM DDR4	4x 16GB 72b DIMM DDR4	2x 16GB 72b DIMM DDR4	–
	DDR Total Capacity	64GB	64GB	32GB	–
	DDR Max Data Rate	2400MT/s	2400MT/s	2400MT/s	–
	DDR Total Bandwidth	77GB/s	77GB/s	38GB/s	–
	HBM2 Total Capacity	–	–	8GB	8GB
	HBM2 Total Bandwidth	–	–	460GB/s	316GB/s ⁴
Internal SRAM	Total Capacity	43MB	57MB	43MB	28MB
	Total Bandwidth	37TB/s	47TB/s	35TB/s	24TB/s
Interfaces	PCI Express®	Gen3 x16	Gen3 x16	Gen3 x16, 2xGen4 x8, CCIX	Gen3 x16, 2xGen4 x8, CCIX
	Network Interface	2x QSFP28	2x QSFP28	2x QSFP28	U50 ² - 1x QSFP28 U50DD ³ - 2x SFP-DD
Power and Thermal	Thermal Cooling	Passive, Active	Passive, Active	Passive, Active	Passive
	Typical Power	100W	110W	100W	50W
	Maximum Power	225W	225W	225W	75W
Time Stamp	Clock Precision	–	–	–	IEEE Std 1588
Compute Performance	INT8 TOPs	18.6	33.3	24.5	16.2
	Machine Learning	Machine Learning Solution Brief			
	Acceleration Applications	Acceleration Application Solutions			

Notes

1. Logic resources shown without shell usage; refer to card user guides for shell resource usage

2. U50 is a production qualified card for volume deployment

3. U50DD is an engineering sample card not for volume production

4. For A-U50DD-P00G-ES3-G and A-U50-P00G-PQ-G measured 316 GB/s peak HBM2 bandwidth, 201 GB/s nominal

Page 2

XILINX

Ускорители ALVEO (4)

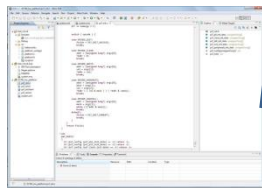
Готовые
приложения



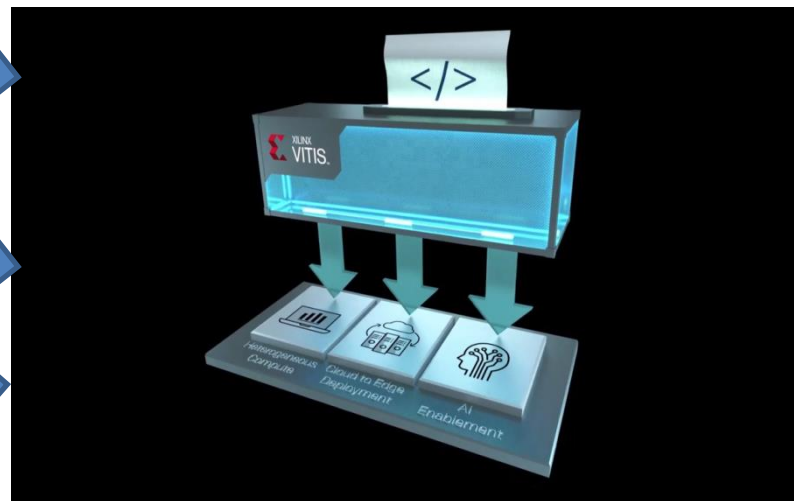
 Xilinx Machine Learning • ML Suite for inference • 20X more throughput than CPUs Learn More >	 BlackLynx Database Search • Elasticsearch on unstructured data • 90X faster search Learn More >	 Xilinx Video Transcoding • Real-time adaptive bitrate video transcoding • High-performance HEVC & VP9 encoders Learn More >
 Screens Video Processing • Real-time, multi-stream video Learn More >	 Falcon Genomics • Accelerated genomics pipelines • 10X faster genome sequencing Learn More >	 Maxeler Financial Computing • Real-time risk analysis • 89X faster risk calculation Learn More >

Среда разработки Vitis

SDK



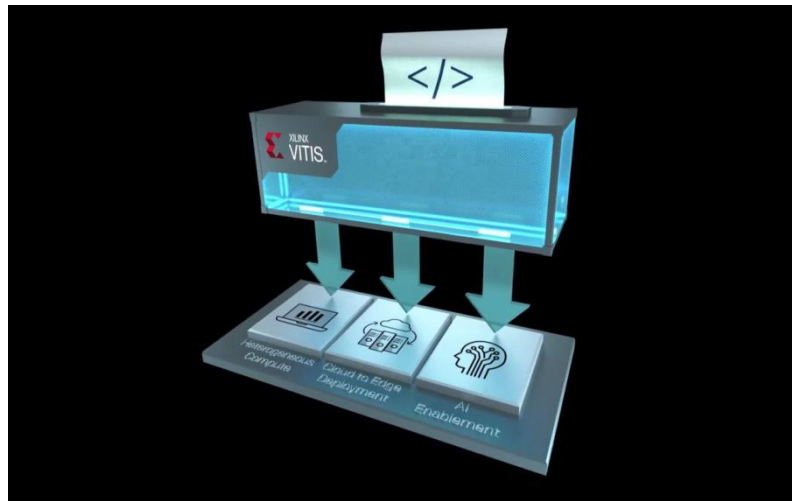
Vitis



Универсальная среда разработки Vitis

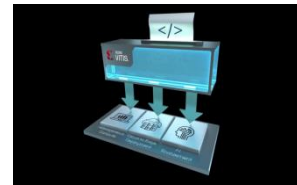
Революция в области проектирования ПЛИС и СнК

- ◆ Vitis – главный инструмент разработчика Xilinx
- ◆ Акцент на высокоуровневое проектирование
- ◆ Взаимодействие с Vivado
- ◆ Расширяемая система
- ◆ Гибкая настройка на предметную область
- ◆ и дополняема опенсорсными средствами
- ◆ Доступно в облаке (AWS, Nimbix)



Xilinx Vitis

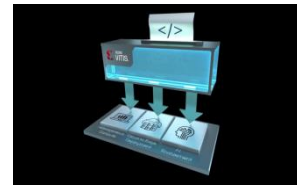
Почему это революционный продукт?



- ◆ Изменилась парадигма проектирования – HLS теперь главная технология, а низкоуровневое проектирование - вспомогательная
- ◆ Универсальность – одна программа для всех платформ Xilinx
- ◆ Расширяемость и настраиваемость для удобства пользователя
- ◆ Глубокая интеграция с Vivado и др. продуктами Xilinx
- ◆ “Вертикальная интеграция” - гибкая настройка на предметную область и совместная работа со средствами других разработчиков, в т.ч. – opensource
- ◆ Доступна как облачный сервис (AWS, Nimbix)

Xilinx Vitis

Что такое HLS?



- ◆ HLS (high level synthesys) – технология проектирования для ПЛИС на высокоуровневых языках программирования – C/C++

Преимущества

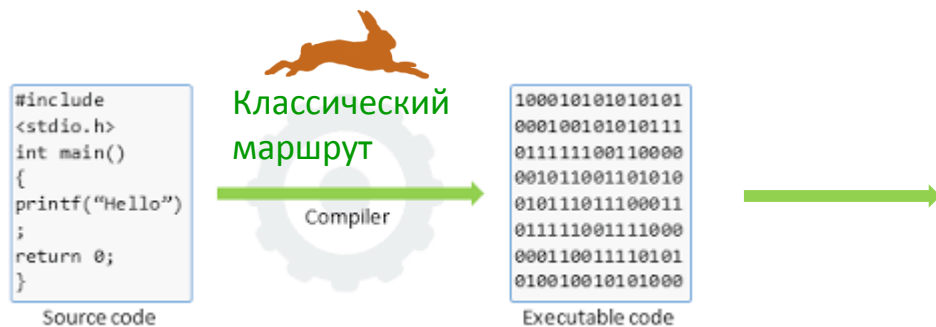
- ◆ Ускорение проектирования от 10 до 100 раз по сравнению с разработкой на VHDL/Verilog
- ◆ Гибкость и возможность глубокой оптимизации
- ◆ Возможность построения комбинированных систем CPU+FPGA
- ◆ Возможность портирования кода для CPU
- ◆ Не нужно сводить тайминг

Недостатки

- ◆ Только для Xilinx и серий 7 и выше (иногда можно обойти)
- ◆ Нельзя определить поведение с точностью до такта
- ◆ Требуется больше ресурсов ПЛИС (не всегда)
- ◆ Низкоуровневый код доступен, но ненагляден

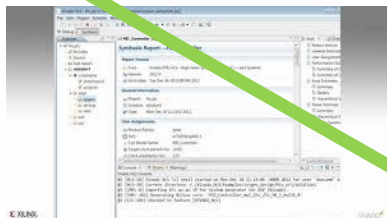
PL vs PS: Новая парадигма - HLS

HLS позволяет разрабатывать IP ядра на языках программирования!



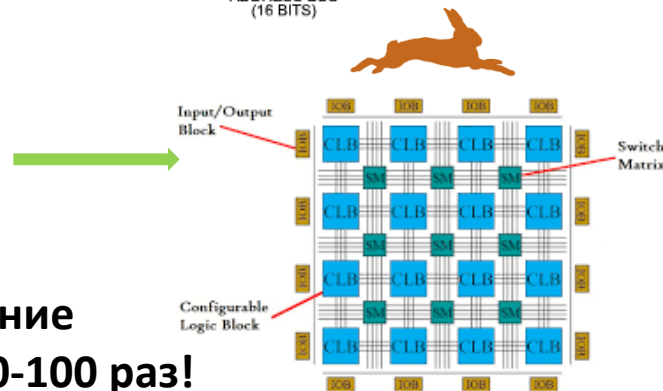
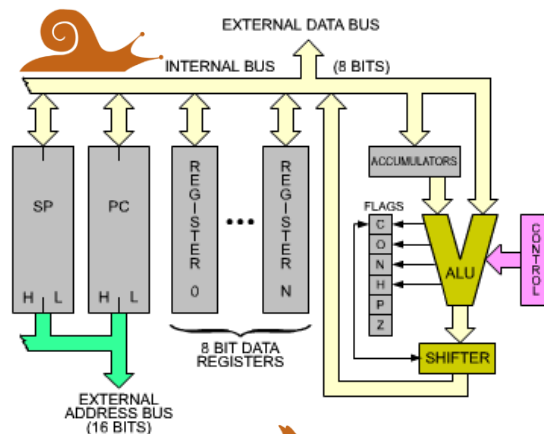
HLS
маршрут

Vivado_HLS, Vitis,



Bitstream

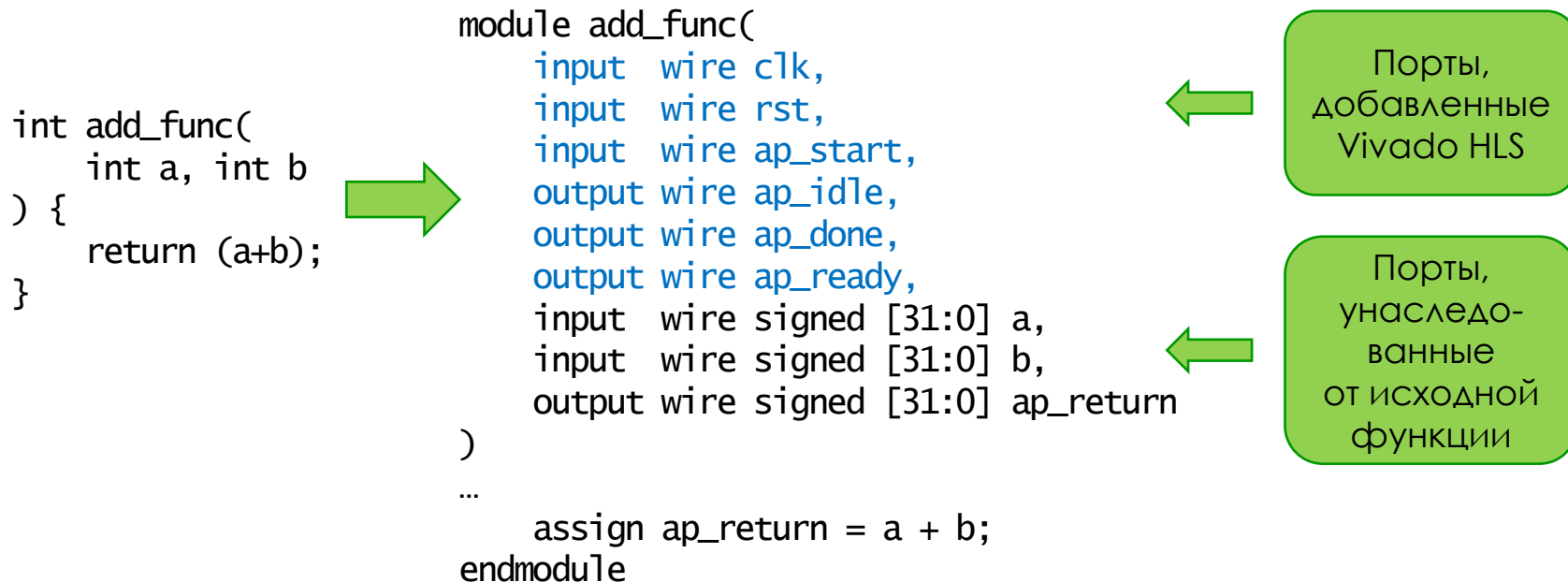
offset(h)	01	02	03	04	05	06	07
00000000	FF	FF	FF	FF	AA	99	66
00000008	30	00	80	01	00	00	00
00000010	30	01	60	01	00	00	00
00000018	30	01	20	01	00	00	00
00000020	30	01	01	01	01	01	3E
00000028	30	00	00	00	00	00	00
00000030	30	00	80	01	00	00	00
00000038	30	00	20	01	00	00	00
00000040	30	00	80	01	00	00	00
00000048	30	00	00	80	00	00	41
00000050	00	00	00	00	00	00	00
00000058	00	00	00	00	00	00	00
00000060	00	00	00	00	00	00	00
00000068	00	00	00	00	00	00	00
00000070	00	00	00	00	00	00	00
00000078	00	00	00	00	00	00	00
00000080	00	00	00	00	00	00	00
00000088	00	00	00	00	00	00	00
00000090	00	00	00	00	00	00	00
00000098	00	00	00	00	00	00	00
000000A0	00	00	00	00	00	00	00
000000A8	00	00	00	00	00	00	00
000000B0	00	00	00	00	00	00	00



Обеспечивается повышение производительности в 10-100 раз!

Основная идея HLS функция – это IP-ядро

Технические детали: как функция C/C++ преобразуется в модуль на HDL



HLS

Соотношение между программным кодом и аппаратной частью

Код на C/C++

```
#include <stdlib.h>
#include <stdio.h>
```

```
int main {
    int opA = 1;
    int opB = 2;

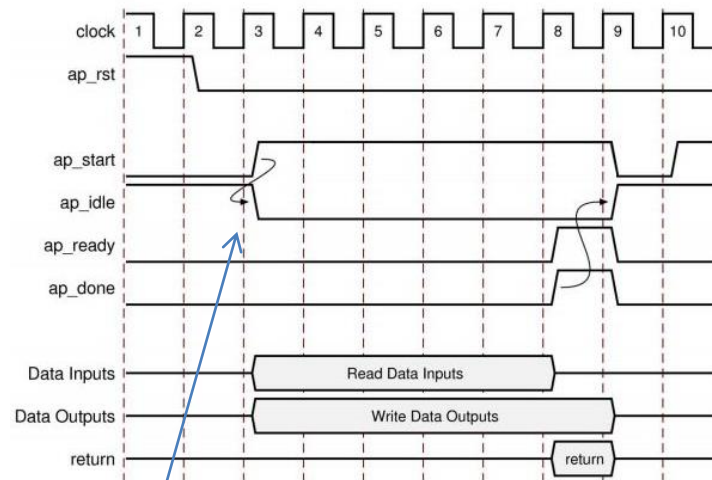
    int result = add_func(opA, opB);
    printf("result = %d\n", result);
    return (0);
}
```

Код на Verilog

```
module topmodule(
    input wire clk,
    ...
)
    ...
    add_func inst0(
        .clk ( clk),
        .rst ( rst),
        .ap_start (rg_ap_start),
        .ap_idle (w_ap_idle),
        .ap_done (w_ap_done),
        .ap_ready (w_ap_ready),
        .a (opA),
        .b (opB),
        .ap_return (result)
    );
    ...
endmodule
```

Реализация в ПЛИС

Waveform



Вызову функции
соответствует строб **ap_start**

Основные документы HLS

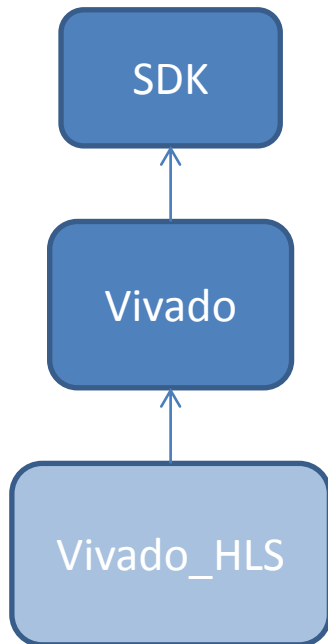
Основные документы

- ◆ User Guide [UG902](#)
- ◆ Introduction [UG998](#)
- ◆ Tutorial [UG871](#)
- ◆ UFDM for Vivado_HLS [UG1197](#)
- ◆ Vivado_HLS optimization guide [UG1270](#)
- ◆ OpenCV guide [UG1233](#)

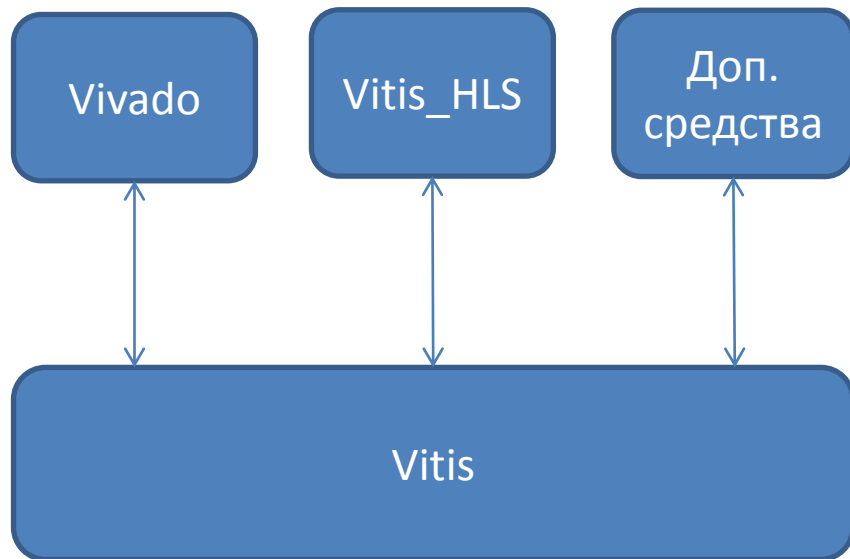
Xilinx Vitis

HLS проектирование для всех платформ Xilinx

Старый подход
(Vivado)



Новый подход (Vitis)

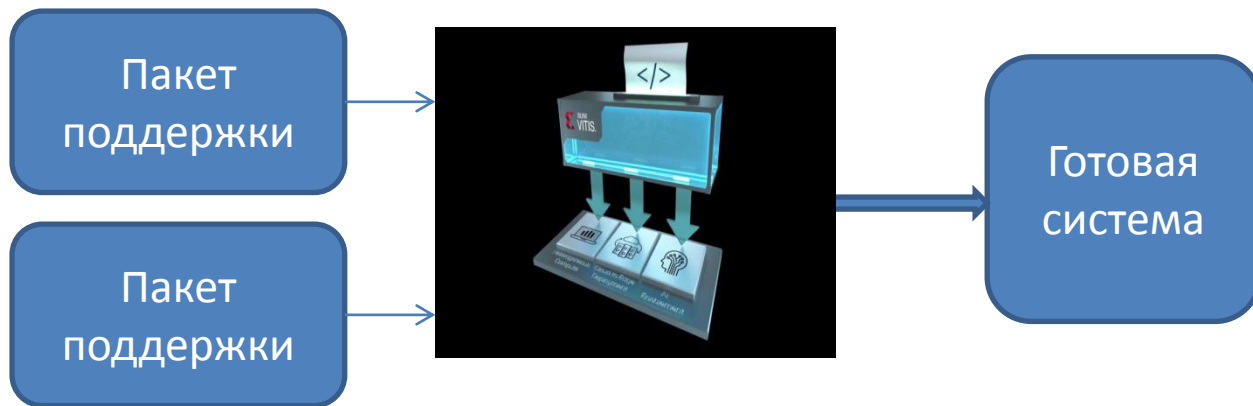
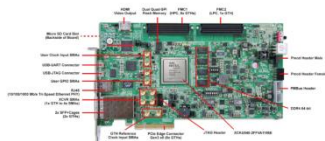


Xilinx Vitis

Target Platforms

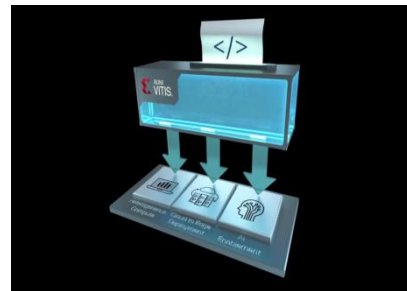
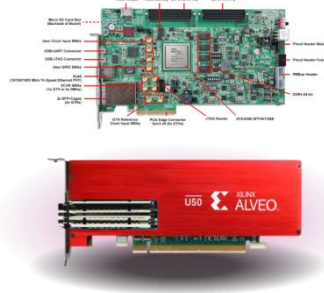
Target Platform – это все, что необходимо для проектирования функциональности оборудования и его работы

Аппаратура



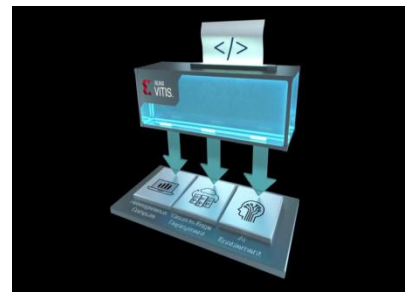
Xilinx Vitis Target Platforms

- ◆ Два основных типа платформ
 - ◆ Ускорители для серверных/облачных вычислений
 - ◆ Встроенные системы и оконечное оборудование(Edge)
- ◆ Имеются предустановленные платформы
- ◆ Можно установить несколько платформ
- ◆ Можно модифицировать платформы
- ◆ Можно создавать свои собственные платформы



Xilinx Vitis

Вертикальная интеграция



Позволяет настроить Vitis под любую предметную область

- ◆ Интегрирует Vitis со средствами разработки предметной области (Xilinx и других разработчиков, вкл. opensource)
- ◆ Добавляет необходимые библиотеки
- ◆ Обеспечивает разработчика документацией, инфраструктурой и техподдержкой

Пример: Vitis AI

Спасибо за внимание

Ваши вопросы – наши ответы





**МАКРО
ГРУПП**

Официальный дилер Xilinx

Контакты

Тел.: 8 (800) 333-06-05

email: SALES@MACROGROUP.RU

Продукция xilinx и техподдержка: fpga@macrogroup.ru

Олег Болихов – руководитель направления

“Цифровая электроника”

Дмитрий Хорьков – руководитель направления Xilinx

Владимир Викулин – техподдержка Xilinx